

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 1 月 2 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 9 9 5 4 4
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 9 9 5 4 4]

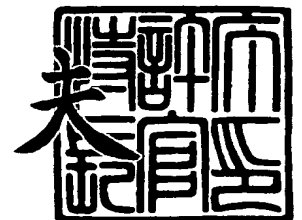
出 願 人 株式会社東芝
Applicant(s):



2 0 0 4 年 1 月 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 1 0 9 1 3 4

【書類名】 特許願
【整理番号】 14469801
【提出日】 平成15年11月28日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/76
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業
 所内
 【氏名】 稗 田 克 彦
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業
 所内
 【氏名】 清 利 正 弘
【特許出願人】
 【識別番号】 000003078
 【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号
 【氏名又は名称】 株式会社 東 芝
【代理人】
 【識別番号】 100075812
 【弁理士】
 【氏名又は名称】 吉 武 賢 次
【選任した代理人】
 【識別番号】 100088889
 【弁理士】
 【氏名又は名称】 橋 谷 英 俊
【選任した代理人】
 【識別番号】 100082991
 【弁理士】
 【氏名又は名称】 佐 藤 泰 和
【選任した代理人】
 【識別番号】 100096921
 【弁理士】
 【氏名又は名称】 吉 元 弘
【選任した代理人】
 【識別番号】 100103263
 【弁理士】
 【氏名又は名称】 川 崎 康
【手数料の表示】
 【予納台帳番号】 087654
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

半導体基板の表面部分にマスク材を形成し、このマスク材を用いて凸部を有するように段差を形成する工程と、

前記段差を埋め込むと共に表面全体が平坦になるように、前記半導体基板上に誘電体膜を形成する工程と、

前記誘電体膜に対して熱処理を行う工程と、

前記誘電体膜に対して、前記誘電体膜の表面が前記マスク材の表面と下面との範囲内になるようにエッチバックを行なう工程と、

前記マスク材を剥離して、前記半導体基板の前記凸部の表面を露出する工程と、
を備えることを特徴とする半導体装置の製造方法。

【請求項 2】

前記誘電体膜を形成する工程は、

ベースフィルムに塗布した前記誘電体膜を、前記段差を有する半導体基板の表面上に熱及び圧力を加えながら重ね合わせる工程と、

前記ベースフィルムを除去することにより、前記半導体基板の表面上に前記誘電体膜を転写する工程と、

を有することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】

半導体基板の表面部分において島状の素子形成領域を囲むように形成された素子分離用の溝と、

前記溝内において、前記溝の底面から前記半導体基板の表面より低い高さまで埋め込まれた第 1 の絶縁膜と、

前記溝内において、前記第 1 の絶縁膜上に埋め込まれた第 2 の絶縁膜と、
を備えることを特徴とする半導体装置。

【請求項 4】

表面部分に段差を有する半導体基板上に第 1 の絶縁膜を形成して前記段差を埋め込む工程と、

エッチバック法を用いて前記第 1 の絶縁膜を前記段差の底部に残存させる工程と、

前記第 1 の絶縁膜の表面上に第 2 の絶縁膜を形成して前記段差を埋め込む工程と、

前記第 1 の絶縁膜に対して、水を含む雰囲気中で熱処理を行う工程と、

を備えることを特徴とする半導体装置の製造方法。

【請求項 5】

半導体基板の表面部分における溝の内壁に形成された第 1 の絶縁膜と、

前記溝の内部において、前記第 1 の絶縁膜上に形成された第 2 の絶縁膜と、

前記溝の内部において、前記第 1 の絶縁膜上及び前記第 2 の絶縁膜上に形成された第 3 の絶縁膜と、

を備え

前記第 1 の絶縁膜と前記第 3 の絶縁膜とで囲まれた前記第 2 の絶縁膜は、Si 密度が前記第 1 の絶縁膜及び前記第 3 の絶縁膜のそれぞれの Si 密度より小さいことを特徴とする半導体装置。

【書類名】明細書**【発明の名称】半導体装置及びその製造方法****【技術分野】****【0001】**

本発明は、半導体装置及びその製造方法に関し、特にSTI (Shallow Trench Isolation) 構造およびその製造方法に関するものである。

【背景技術】**【0002】**

半導体装置の微細化がますます進行している。素子分離用にSTI (Shallow Trench Isolation) 構造が用いられているが、溝幅と溝の深さのアスペクト比が大きくなり、従来用いていたHDP (High Density Plasma Chemical Vapor Deposition) -TEOS

SiO₂ 膜では埋め込みが困難となってきた。このため、STI幅が100nmより小さい世代において塗布膜を用いたSTI埋め込み技術が開発されている。

【0003】

塗布膜を用いる場合には、広い幅のSTIを埋め込むために塗布膜を厚く塗布することが必要である。

【0004】

また塗布膜として、過水素化シラザン重合体（ポリシラザン、以下PSZと略す）溶液の塗布膜を用いる方法が提案されている。

【0005】

例えば、厚塗りしたPSZ膜をキュアした後、CMP (Chemical Mechanical Polishing) 法を用いてSTIに埋め込んだ膜を平坦化する工程が提案されている。

【0006】

しかし、STI幅が70nm程度をより細くなると、マスク用のSiN膜がCMP時のストッパマスクにならず、特に周囲から孤立した細い領域ではCMPによるディッシングが起こりやすく、良好なSTI形状の実現、特にディヴォットの抑制やSTI溝に埋め込んだ絶縁膜の高さ制御が困難であるという問題があった。

【0007】

図46～図50に、このような問題を有する従来の製造方法を示す。

【0008】

図46の平面図に示されたように、アクティブ領域AA101及びAA102、STI素子分離領域STI101、ダミーパターンDP101が配置されている。

【0009】

図46におけるA1-A1線に沿う縦断面図として、図47に示されたように、半導体基板1101の表面部分において、シリコン酸化膜1102、マスクシリコン窒化膜1103を形成し、ダミーパターンDP101、アクティブ領域AA101、AA102を残存させ、STI素子分離領域STI101にSTI溝を形成するように、反応性イオンエッチング（以下、RIEと称する）を行なう。

【0010】

図48に示されるように、STI溝の側壁を酸化し、シリコン窒化膜1103をプルバックする。

【0011】

この後、図49に示されたように、PSZから成る誘電体膜1106aを表面全体に堆積し、CMPを行い平坦化して誘電体膜1106bを得る。

【0012】

図50に示されたように、マスクシリコン窒化膜1103を剥離し、パッドシリコン酸化膜1102を剥離した後、図示されていない犠牲シリコン酸化膜を形成する。さらにこの犠牲シリコン酸化膜を剥離し、ゲート絶縁膜を形成する。

【0013】

しかし、上述した従来の製造方法には、次のような問題があった。

【0014】

上記方法では、 $4\mu\text{m}$ 程度の溝幅を有するSTI溝中での塗布膜をSTIの底部に形成するために、PSZ膜を例えば 600nm 程度に厚く塗布する。ここで、図49に示されたように、広い溝幅では塗布膜厚が薄く狭いSTI幅では塗布膜はやや厚く形成される。

【0015】

また通常のSTI溝の形成と同様に、図48に示されたように、マスクシリコン窒化膜1103を、例えば片側を 10nm 程度プルバックすると、 70nm 程度のマスクシリコン窒化膜1103のマスク幅が 50nm 程度に狭くなってしまう。

【0016】

このため、図49においてCMP時に、狭い幅のマスクシリコン窒化膜1103がCMPストッパ層としての機能を果たせなくなる場合があった。

【0017】

しかし、図48に示された工程で、マスクシリコン窒化膜1103のプルバックを行わないと、パッドシリコン酸化膜1102の剥離、犠牲シリコン酸化膜の剥離工程において、STI溝に埋め込んだシリコン酸化膜が後退することになる。これにより、図50において1151として示されたように、STI溝の側壁が露出し、いわゆるデिवォット形状となる問題が生じる。

【0018】

このデिवォット形状は、後の工程でのゲート電極形成時のゲート電極のショートの原因となり、製品の歩留まりを低下させていた。

【0019】

また上記従来技術では、PSZによる塗布膜でSTI溝を一括して埋め込んでいるが、STI溝の途中まで埋め込み、その後シリコン酸化膜で埋め込む技術も提案されている。

【0020】

これは、PSZ膜は $1\mu\text{m}$ 以上の溝幅の溝中では後のBOX酸化工程で十分に SiO_2 膜に転換されるが、PSZ膜の膜厚が厚いと 100nm 程度以下の溝幅の溝中では十分に SiO_2 に転換されずに密度の低い SiO_2 膜となり、溝中の膜のウェットエッチングレートが速いため、デिवォットの抑制やSTIの高さ制御等、所望のSTI形状の実現が困難であることに起因する。

【0021】

そこで、STI溝の底部にPSZ膜を薄く形成した後、STI溝の上部をHDP- SiO_2 膜で埋め込むというPSZ膜とHDP- SiO_2 膜とを組み合わせたハイブリッド構造としている。

【0022】

図51～図55に、このような方法でSTI溝を埋め込む際の工程別の断面を示す。

【0023】

図51に示されたように、半導体基板1300の表面上にシリコン酸化膜1301、マスクシリコン窒化膜1302を形成し、アクティブ領域を残存させ、STI素子分離領域にSTI溝を形成するようにRIEを行なう。そして、STI溝の側壁を酸化してシリコン酸化膜1304を形成する。

【0024】

図52に示されるように、例えば $1\mu\text{m}$ 以上のSTI溝幅のSTI溝の底部にPSZ膜から成る誘電体膜1305を形成するため、薄く塗布する。ここで、図52のように、広い溝幅では塗布膜厚が薄くなり、狭いSTI幅ではやや厚く形成されることになる。

【0025】

特に、広いSTI幅に面したSTI側壁部分には、STI側面の上部まで塗布膜が形成されることになる。

【0026】

次に、図53に示されたように、表面全体を覆うように、HDPにより SiO_2 膜1306aを堆積してハイブリッド構造とし、図54に示されたようにCMP法を用いて平坦

化して SiO_2 膜 1306b を得る。

【0027】

図 55 に示されたように、マスクシリコン窒化膜 1302 を剥離して、半導体基板 1300 におけるアクティブ領域の表面を露出するウェットエッチングを行う。

【0028】

ここで、図 55 のエッチング工程において、表面に露出した PSZ 塗布膜のウェットエッチング速度が SiO_2 膜 1306b に比べて 2 倍程度速いので、図中丸印で示されたようなくびれ 1310 が生ずる。

【0029】

このようなくびれ 1310 が生じると、後のゲート電極を形成する工程において、ゲート電極のショートの原因となり、製品の歩留まりを低下させるという問題があった。

【0030】

このように、STI 溝を埋め込む際に、溝幅が広い箇所及び細い箇所においても同様に STI 側壁には塗布膜が存在せず、STI 溝の底部にのみ存在するような製造方法及び構造が求められていたが、従来は実現できなかった。

【0031】

また、従来のハイブリッド構造による STI 溝の埋め込み工程には、図 56、図 57 に示されるものがあった。

【0032】

図 56 に示されたように、半導体基板 1401 の表面上にシリコン酸化膜 1402、フローティングゲート用の導電膜 1403、マスクシリコン窒化膜 1404 を形成し、アクティブ領域を残存させ、STI 素子分離領域に STI 溝を形成するように、RIE を行なう。

【0033】

次に、図 57 に示されるように、STI 溝内に PSZ 膜から成る誘電体膜 1412a を塗布する。しかし、広い溝幅では塗布膜厚が薄くなり、狭い STI 幅ではやや厚く形成されることになる。

【0034】

この後、ウェットエッチングで表面全体をエッチバックすると、図 57 に示されるような誘電体膜 1412b が得られる。

【0035】

しかし、図 57 において丸印 1451 で示された箇所において、導電膜 1403 が誘電体膜 1412b で覆われておらず露出するおそれがあった。これにより、この後の工程でゲート電極を形成する際に、ショートする場合があります、歩留まりの低下を招いていた。

【0036】

あるいはまた、従来の STI 溝の埋め込み工程には、図 58、図 59 に示されるものがあった。

【0037】

図 58 に示されたように、半導体基板 1501 の表面上にシリコン酸化膜 1502、フローティングゲート用の導電膜 1503、マスクシリコン窒化膜 1504 を形成する。アクティブ領域が残存し、STI 素子分離領域に STI 溝を形成するように、RIE を行なう。

【0038】

次に、表面全体に TEOS-SiO_2 膜 1511 を形成した後、PSZ による誘電体膜 1512 を STI 溝が完全に埋まるように表面全体に塗布する。

【0039】

図 59 に示される工程において、熱工程を経て誘電体膜 1512 を SiO_2 膜 1512 に変換した後、CMP 法を用いて平坦化し、ドライエッチング法及びウェットエッチング法を用いて TEOS-SiO_2 膜 1511 をエッチバックする。

【0040】

ここで、図 59 において丸印 1552 で示された箇所において、導電膜 1503 の表面が TEOS-SiO_2 膜 1511、 SiO_2 膜 1512 で覆われておらず露出する場合があります、やはりショートが発生させ歩留まりの低下を招いていた。

【0041】

ここで、従来の STI 溝の製造方法に関する文献名を以下に記載する。

【特許文献 1】特開 2000-114362 号公報

【特許文献 2】特開 2000-183150 号公報

【特許文献 3】特開 2003-31650 号公報

【特許文献 4】特開 2001-308090 号公報

【特許文献 5】特開 2002-367980 号公報

【発明の開示】

【発明が解決しようとする課題】

【0042】

上述したように、従来は異なる STI 幅が混在する場合に、良好な STI 溝の埋め込みを実現することができなかった。

【0043】

本発明は上記事情に鑑み、異なる STI 幅が混在する場合にも良好な埋め込み特性を得ることができ、ディヴォットを発生させることなくゲート電極のショートを防止することが可能な STI 構造を有する装置並びにその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0044】

本発明の一態様による半導体装置は、
半導体基板の表面部分にマスク材を形成し、このマスク材を用いて凸部を有するように段差を形成する工程と、
前記段差を埋め込むと共に表面全体が平坦になるように、前記半導体基板上に誘電体膜を形成する工程と、
前記誘電体膜に対して熱処理を行う工程と、
前記誘電体膜に対して、前記誘電体膜の表面が前記マスク材の表面と下面との範囲内になるようにエッチバックを行なう工程と、
前記マスク材を剥離して、前記半導体基板の前記凸部の表面を露出する工程と、
を備えることを特徴とする。

【0045】

ここで、前記誘電体膜を形成する工程は、
ベースフィルムに塗布した前記誘電体膜を、前記段差を有する半導体基板の表面上に熱及び圧力を加えながら重ね合わせる工程と、
前記ベースフィルムを除去することにより、前記半導体基板の表面上に前記誘電体膜を転写する工程と、
を有するものであってよい。

【0046】

前記エッチバックを行う工程は、前記誘電体膜が前記マスク材に対して所定の選択比を有するドライエッチングを用いるものであってよい。

【0047】

あるいは前記エッチバックを行う工程は、前記誘電体膜が前記マスク材に対して所定の選択比を有するウェットエッチングを用いるものであってよい。

【0048】

前記半導体基板上に前記誘電体膜を形成する工程の前に、前記マスク材の少なくとも一部に対し、マスク幅が小さくなるようにエッチングを行う工程をさらに備えることもできる。

【0049】

前記マスク材は、シリコン窒化膜とシリコン酸化膜とを含む積層膜であり、前記マスク

材の少なくとも一部にエッチングを行う工程では、前記シリコン窒化膜の幅が小さくなるようにエッチングすることもできる。

【0050】

前記誘電体膜は、PSZ膜であってもよい。

【0051】

前記半導体基板の段差は、素子分離用に形成した溝であってもよい。

【0052】

前記誘電体膜に対して熱処理を行う工程は、200℃以下のベーキングを行って前記誘電体膜に含まれる溶媒を揮発させるものであってよい。

【0053】

前記マスク材は、シリコン窒化膜からなる単層膜であり、前記マスク材の少なくとも一部にエッチングを行う工程では、前記マスク材の幅と共に膜厚が減少するものであってよい。

【0054】

前記誘電体膜は、前記半導体基板上に複数回塗布を行って形成した塗布膜であってもよい。

【0055】

前記誘電体膜を埋め込む前に、前記段差の表面上に前記段差の途中の高さまで埋め込むような膜厚の絶縁膜を形成する工程をさらに備えることもできる。

【0056】

前記絶縁膜を形成する工程では、CVD法を用いて前記絶縁膜を形成してもよい。

【0057】

前記絶縁膜は、TEOS-SiO₂膜であってもよい。

【0058】

本発明の一態様による半導体装置の製造方法は、
半導体基板上に第1の絶縁膜及び第2の絶縁膜を島状に形成する工程と、
前記第1及び第2の絶縁膜の側面に、第3の絶縁膜を形成する工程と、
前記第1、第2及び第3の絶縁膜をマスクとして、前記半導体基板の表面部分に溝を形成する工程と、
前記溝を第1の誘電体膜で埋め込む工程と、
エッチバック法を用いて、前記第1の誘電体膜の表面が、前記第2の絶縁膜の表面から底面の範囲内になるように加工する工程と、
前記第1及び第2の絶縁膜のうち、前記第1の誘電体膜で覆われていない部分を除去することにより、前記半導体基板の表面を露出する工程と、
を備えることを特徴とする。

【0059】

前記第1の誘電体膜の形成には、ベースフィルムに塗布した第1の誘電体膜を、前記溝を有する前記半導体基板に熱及び圧力をかけながら重ね合わせる工程と、

前記ベースフィルムを除去することにより、前記溝を有する前記半導体基板の表面に前記第1の誘電体膜を転写して平坦な形状とする工程と、
を有することもできる。

【0060】

前記第1の誘電体膜に対して行う前記エッチバックは、前記第2の絶縁膜に対して所定の選択比を有するものであってよい。

【0061】

あるいは前記第1の誘電体膜に対して行う前記エッチバックは、前記第2の絶縁膜に対して所定の選択比を有するウェットエッチングであってもよい。

【0062】

前記溝の幅の最小値は、リソグラフィ工程により決定される最小値よりも前記第3の膜の膜厚の2倍程度小さくてもよい。

【0063】

第1の誘電体膜は、PSZ膜であってもよい。

【0064】

本発明の一態様による半導体装置は、

半導体基板の表面部分において島状の素子形成領域を囲むように形成された素子分離用の溝と、

前記溝内において、前記溝の底面から前記半導体基板の表面より低い高さまで埋め込まれた第1の絶縁膜と、

前記溝内において、前記第1の絶縁膜上に埋め込まれた第2の絶縁膜と、
を備えることを特徴とする。

【0065】

前記第1の絶縁膜は、塗布によって形成された絶縁膜であってもよい。

【0066】

あるいはまた前記第2の絶縁膜は、CVD法を用いた絶縁膜であってもよい。

【0067】

前記第1の絶縁膜はPSZ膜であり、前記第2の絶縁膜はHDP-SiO₂膜であってもよい。

【0068】

本発明の一態様による半導体装置の製造方法は、

表面部分に段差を有する半導体基板上に第1の絶縁膜を形成して前記段差を埋め込む工程と、

エッチバック法を用いて前記第1の絶縁膜を前記段差の底部に残存させる工程と、

前記第1の絶縁膜の表面上に第2の絶縁膜を形成して前記段差を埋め込む工程と、

前記第1の絶縁膜に対して、水を含む雰囲気中で熱処理を行う工程と、
を備えることを特徴とする。

【0069】

あるいは本発明の一態様による半導体装置の製造方法は、

前記第1の絶縁膜を形成する工程は、

ベースフィルムに塗布した前記第1の膜を前記段差を有する前記半導体基板上に熱及び圧力をかけながら重ね合わせる工程と、

前記ベースフィルムを除去することにより前記段差を有する前記半導体基板の表面に前記第1の膜を転写して平坦な形状とする工程と、

を有することを特徴とする。

【0070】

前記熱処理は、350℃以上の温度で行われるものであってよい。

【0071】

前記熱処理を行う工程は、

350℃以上で450℃以下の温度で前記半導体基板を一定時間保持する工程と、

450℃以上で800℃以下の温度に前記半導体基板を一定時間保持する工程とを有するものであってよい。

【0072】

前記段差に埋め込まれた第1の絶縁膜は、前記半導体基板の表面から前記第1の絶縁膜の表面までの距離が100nm以上であってもよい。

【0073】

前記第1の絶縁膜は、スピン塗布法を用いて形成された塗布膜であってもよい。

【0074】

本発明の一態様による半導体装置は、

前記半導体基板に島状の素子形成領域を囲むように形成された素子分離用の溝と、

前記溝内において、前記溝の内壁を覆うように形成された第1の絶縁膜と、

前記溝内において、前記半導体基板の表面より低い高さまで前記第1の絶縁膜上に形成

された第2の絶縁膜と、

前記溝内において、前記第2の絶縁膜上に前記溝を埋め込むように形成された第3の絶縁膜と、

を備えることを特徴とする。

【0075】

前記第1の絶縁膜はCVD法により形成され、前記第2の絶縁膜は塗布により形成され、前記第3の絶縁膜はCVD法により形成された絶縁膜であってもよい。

【0076】

本発明の一態様による半導体装置の製造方法は、

表面部分に溝を有する半導体基板の表面上に第1の絶縁膜を形成して、前記溝の内壁を前記第1の絶縁膜で覆う工程と、

前記溝の内部において、前記第1の絶縁膜上に第2の絶縁膜を選択的に形成する工程と、

前記溝の内部において、前記第1の絶縁膜および前記第2の絶縁膜上に第3の絶縁膜を選択的に形成する工程と、

を備えることを特徴とする。

【0077】

前記第1の絶縁膜を形成する工程は、

前記半導体基板の表面上に前記第1の絶縁膜を堆積する工程と、

前記第1の絶縁膜に対してドライエッチングを行い、前記溝の底部に残存させる工程と、

を有することもできる。

【0078】

前記第2の絶縁膜を形成する工程は、

前記第1の絶縁膜上に前記第2の絶縁膜を堆積する工程と、

前記第2の絶縁膜に対してウェットエッチングを行って、前記溝の内部に残存させる工程と、

を有するものであってよい。

【0079】

前記第2の絶縁膜を形成した後、前記半導体基板を、水を含む雰囲気中で350℃以上600℃以下の温度に一定時間保持する熱処理を行う工程と、

前記半導体基板を、450℃以上1000℃以下の温度に一定時間保持する熱処理を行う工程と、

をさらに備えることもできる。

【0080】

本発明の一態様による半導体装置は、

半導体基板の表面部分における溝の内壁に形成された第1の絶縁膜と、

前記溝の内部において、前記第1の絶縁膜上に形成された第2の絶縁膜と、

前記溝の内部において、前記第1の絶縁膜上及び前記第2の絶縁膜上に形成された第3の絶縁膜と、

を備え

前記第1の絶縁膜と前記第3の絶縁膜とで囲まれた前記第2の絶縁膜は、Si密度が前記第1の絶縁膜及び前記第3の絶縁膜のそれぞれのSi密度より小さいことを特徴とする。

【0081】

本発明の一態様による半導体装置の製造方法は、

半導体基板の表面部分に溝を形成する工程と、

前記溝の内壁に第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、

前記第1の絶縁膜及び前記第2の絶縁膜をエッチバックすることにより、前記溝の内部

に前記半導体基板の表面より低い高さまで前記第1の絶縁膜と前記第2の絶縁膜とを埋め込む工程と、

前記溝の内部において、前記第1及び第2の絶縁膜上に第3の膜を堆積して平坦化することにより、前記溝の内部に前記第1、第2及び第3の絶縁膜を埋め込む工程と、
を備えることを特徴とする。

【発明の効果】

【0082】

本発明の半導体装置及びその製造方法によれば、段差を有する半導体基板の表面を誘電体膜で平坦になるように埋め込むことで、アスペクト比にかかわらず良好な埋め込み特性を得ることができる。

【発明を実施するための最良の形態】

【0083】

以下、本発明の実施の形態について図面を参照して説明する。

【0084】

(1) 第1の実施の形態

先ず、図1～図8を用いて、本発明の第1の実施の形態について説明する。

【0085】

STI素子分離構造を有するMOS型トランジスタのSTI溝の形成段階における平面を図1に、さらに図1におけるA-A線に沿う縦断面を図2に示す。

【0086】

図1に示されたように、活性領域(Active Area)AA1、AA2が配置され、その間にSTI溝STI1が設けられ、絶縁膜106cにより埋め込まれている。

【0087】

但し、ここではゲート電極、コンタクト、メタル配線、および配線層から上層のパッシベーション層等については図示されておらず、活性領域AA1、AA2のパターンのみが示されている。

【0088】

第1の実施形態におけるSTI型素子分離構造は、STI溝の内部に埋め込まれた絶縁膜の形状に特徴があり、以下に工程別の素子の断面を示した図3～図8を参照して説明する。

【0089】

まず、図3に示されたように、例えばシリコン基板等の半導体基板101の表面上に、シリコン酸化膜(以下、SiO₂膜と称する)102をパッド酸化膜として例えば膜厚4nm程度に形成する。その表面上に、LP-CVD(Low Pressure - Chemical Vapor Deposition)法を用いてマスク材としてのシリコン窒化膜(Si₃N₄膜、以下、SiN膜と記す)103を、膜厚150nm程度に形成する。

【0090】

更にその表面上に、BSG膜104を例えば200nm程度形成する。

【0091】

その後、通常の露光技術及びRIE法によるドライエッチング技術を用いて、BSG膜104、マスクSiN膜102、パッドSiO₂膜101をパターンニング加工する。次に、パターンニングに用いた図示されていないレジスト膜を除去し、BSG膜104をマスクとして、半導体基板101にSTI素子分離のための素子分離溝としてのSTI溝を、例えば深さ300nm程度に形成する。

【0092】

このSTI溝は素子分離用の溝であるので、種々の幅の溝が半導体基板101の表面部分に形成されることになる。図1に示された平面においては、4μm以上の広いSTI幅を有するSTI溝と、70nm程度の狭いSTI幅を有するSTI溝と、所定間隔を空けて複数の活性領域AA1、AA2の間を分離するSTI溝と、200nm程度の広いSTI溝とが混在している。

【0093】

尚、ここでは、SiN膜103の上にBSG膜104を形成し、半導体基板101のエッチング時のマスクに用いる場合を示している。しかし、SiN膜103をマスクにして半導体基板101のエッチングを行ってもよい。

【0094】

次に、図4に示すように、半導体基板101の表面を通常の熱酸化法を用いて酸化し、STI溝内壁に膜厚4nm程度の熱酸化膜105を形成する。

【0095】

なお、通常の熱酸化の代わりに、酸素ラジカル法を用いてSTI溝の側面にシリコン基板の面方位によらない均一な膜厚を有する高品質のシリコン酸化膜を形成してもよい。

【0096】

あるいは、ISSG (In-Situ Steam Generation) 法を用いて、STI溝部内壁ばかりでなくSiN膜103の側面を僅かに酸化してもよい。

【0097】

次に、マスク材であるSiN膜103を選択的に10nm～15nm程度横方向に後退させる、いわゆるプルバック (Pullback) を行う。

【0098】

ここで、プルバック法を用いるかどうかは、半導体装置の要求性能に応じて選択することができる。プルバック工程では、例えばホット燐酸等を用いるのが一般的である。この時、SiO₂膜102とSiN膜103との選択比を2以上とすることができるような等方性エッチングを用いることが望ましい。ここでは、BSG膜104があるのでSiN膜103の膜厚方向の膜減りは抑えることができる。

【0099】

次に、図5に示すように、BSG膜104を選択的に除去したのち、STI溝に誘電体膜106aを平坦に埋め込む。

【0100】

ここでは、STP (Spin Coating Film Transfer and Hot-Pressing) 法を用いて埋め込む場合について述べる。尚、STP法は、以下の文献に記載されている。

【0101】

Japanese Journal of Applied Physics, Vol.41, No.4B, p.p. 2367-2373 (2002)

STP法は、先ず図24に示すように、ベースフィルム201にPSZ等の誘電体膜202を塗布形成する。

【0102】

次に、図25に示すように、段差212のある形状を有する半導体基板211の表面に、誘電体膜201側を下にして熱をかけながら矢印のように圧着する。

【0103】

その後、図26に示されるようにベースフィルム201を剥がして、図27のように段差212上に平坦に埋め込まれた誘電体膜202を形成する。

【0104】

ここで、段差212上の誘電体膜202の厚みは、ベースフィルム201上に形成する誘電体膜202の厚みと接着時の圧力によってある程度制御することができる。

【0105】

例えば図5において、SiO₂膜102上において100nm程度の膜厚になるように、STP法を用いて誘電体膜、ここではPSZ膜106aを堆積する。

【0106】

ベースフィルムに塗布する塗布装置において、150℃程度で溶媒を揮発させるベーク工程を3分間程度行う。

【0107】

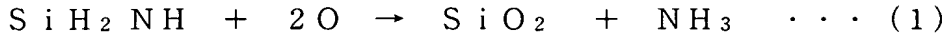
この時、SiN膜103は150nm程度であるので、PSZ膜106aの表面からSTI溝の溝底までは約550nm程度の膜厚となる。

【0108】

STP法による埋め込み特性は良好であり、70nm程度の細いSTI溝幅及び広いSTI溝幅に対して、ヴォイドなしで全面に約±10nm程度の平坦度で埋め込むことが可能である。

【0109】

次に、PSZ膜106aをSiO₂膜106bに変換する。この工程は、次の化学式(1)で説明することができる。

【0110】

すなわち、STI溝に埋め込まれたPSZ膜106aは、水蒸気(H₂O+O₂)の分解によって生成される酸素(O)と反応して、SiO₂とNH₃(アンモニアガス)に変化し、SiO₂膜106bに変化する。

【0111】

この時、素子形成領域の中央部はSiN膜103で覆われているので、この素子形成領域中央部における半導体基板101の表面は酸化されない。しかし、プルバックによりSiN膜103が後退した素子形成領域の周辺部は、温度や雰囲気条件によっては酸化膜が形成されることもある。

【0112】

この化学反応は、PSZ膜106aの表面から進行し、例えば400℃の水蒸気雰囲気での酸化(たとえば燃焼酸化(以下、これをBOX酸化と呼ぶ))を15分から30分程度行うことにより、半導体基板101に600nm程度の厚さで形成したPSZ膜106bをSiO₂膜に変換させることができることが確認されている。

【0113】

従って、400℃で15分間程度水蒸気雰囲気でのBOX酸化を行なうことで、PSZ膜106aは、表面からSTI溝底まで550nm程度の厚さであるため、Si-N結合からSi-O結合への変換が促進される。その結果、異なる溝幅を有するSTI溝に埋め込まれたPSZ膜106aを、溝底まで完全にSiO₂膜106bへ変換することができる。

【0114】

ここでは400℃でBOX酸化をする場合について示したが、水蒸気雰囲気での酸化は、200℃から600℃程度の範囲から、許容できる酸化膜形成限度によって選択すればよい。望ましくは、300℃から400℃の範囲であると考えられる。

【0115】

次に、酸化性雰囲気、または窒素等の不活性ガス雰囲気において、700℃から1000℃、望ましくは850℃程度の窒素雰囲気での30分程度の熱処理を行う。これにより、PSZ膜106aから変換されたSiO₂膜106bに残留しているNH₃やH₂Oを放出させ、SiO₂膜106bの緻密化処理を行う。このようにしてSi密度の高いSiO₂膜に変換させることで、膜のリーク電流を低減することができる。

【0116】

また、窒素ガス等の不活性ガス雰囲気で行うと、STI溝中のシリコン側面の酸化を抑えることができ、素子幅の減少、すなわちSTI幅の増加を抑えることが可能である。

【0117】

また、酸素雰囲気であれば、膜中の炭素(C)等の不純物濃度をさらに低減することができ、リーク電流、さらには膜と半導体基板との界面における固定電荷を低減することができるが、酸化膜が形成されることには注意が必要である。

【0118】

この場合も、素子形成領域の中央部はSiN膜103で覆われているため、酸化性雰囲気においても酸化されることはない。

【0119】

また、緻密化工程には、通常の炉による熱処理以外にRTA(Rapid Thermal Annealing)

g) や R T O (Rapid Thermal Oxidation) を用いてもよい。

【0120】

R T A の場合は、より高温、例えば 950℃ で 20 秒程度の短時間の高温熱処理工程を行うことが可能である。

【0121】

これらの熱処理は、次のエッチバック工程の後に行ってもよい。また、これらの熱工程の設定により、S i O₂ 膜 106 b の膜ストレスを低下させることができる。

【0122】

次に、図 6 に示すように、S T I 溝の高さ調整のために、例えばドライ・エッチング法、またはウェット・エッチング法等により、S i O₂ 膜 106 b をエッチバックしていく。そして、特にドライエッチングの場合は、S i N 膜 103 の表面が露出したか否かを示すエッチング信号をモニタしながら、半導体基板 101 の表面からの高さが例えば 20 nm 程度になるように、S i O₂ 膜 106 b を形成する。

【0123】

ドライエッチング法によるエッチバックでは、P S Z 膜 106 a の S T I パターン疎密差、すなわち S T I 幅の違いによる S i O₂ 膜 106 b の S i 密度の違いによるエッチング速度の差が現れにくく、ほぼエッチバックの均一性に対応した膜厚で S T I 溝および S i N 膜 103 a の側面部に S i O₂ 膜 106 b を形成することができる。

【0124】

ここでは、半導体基板 101 の表面からの S i O₂ 膜 106 b の膜厚が 20 nm の例を示したが、この値はその後のプロセスによって調整することが可能である。

【0125】

これまでの工程で、CMP 法等の平坦化工程を用いることなく、S i O₂ 膜 106 b は半導体基板 101 に対してほぼ平坦になるように形成される。

【0126】

これは、CMP 法を使わないのでエッチバック時のストッパーとしての S i N 膜 103 の膜減りによる S T I パターンによる平坦化時の不均一性がないためである。

【0127】

次に、図 7 に示すように、S i N 膜 103 とパッド S i O₂ 膜 102 とを除去して、半導体基板 101 の表面を露出させる。

【0128】

この時、パッド S i O₂ 膜 102 と S T I 溝部に埋め込まれた S i O₂ 膜 106 b のエッチング速度ができるだけ一致するようなウェットエッチング液を用いることが望ましい。

【0129】

例えば、緩衝化フッ酸（バッファード HF）による S i O₂ 膜 106 b のウェットエッチングレートは、熱酸化膜の 1.4 倍程度に低減することができる。

【0130】

このため、パッド S i O₂ 膜 102 の除去の際にも、S T I 溝上部の S i O₂ 膜 106 b が過剰にエッチングされることを抑制することができる。

【0131】

次に、図 8 に示した工程において、犠牲酸化膜 107 の形成、チャネルイオン注入、犠牲酸化膜の除去、ゲート絶縁膜の形成を行う。

【0132】

この段階で、S T I 溝に埋め込まれた S i O₂ 膜 106 b は、半導体基板 101 の面に対してほぼ均一となるように、S T I 高さ と プルバック量 と が最適化されている。

【0133】

この後、図示されていないゲート電極の形成、ソース／ドレイン拡散層の形成、層間絶縁膜の形成、コンタクト形成、配線層の形成、パッシベーション膜の形成、パッド形成等を経て、M O S トランジスタが完成する。

【0134】

上述した第1の実施形態による製造方法によれば、半導体装置、特にSTP法による誘電体膜の形成により、大きいアスペクト比のSTI構造でも窪みなどの形状の劣化のない所望形状のSTI構造を形成することができる。

【0135】

特に、STI幅が1 μ m以上の広い溝幅においても、STI溝幅が70nm程度以下の狭い溝幅においても、PSZ膜をウェーハ全面にわたり所望の膜厚に均一に形成できる。従って、異なるSTI溝幅を有するSTI溝が混在する装置においても、STI溝内に形状劣化なく誘電体膜を埋め込むことが可能であり、歩留まりの高い素子分離構造を実現することができる。

【0136】

また、STI形成後の半導体製造工程において繰り返される半導体基板表面の酸化工程及び酸化膜除去工程等においても、良好な形状のSTI構造を維持して素子分離を実現することができる。また、リーク電流の低減やSTI溝底における固定電荷の低減が実現できるので、製品の歩留まりを向上できる。

【0137】

(第2の実施の形態)

本発明の第2の実施形態による半導体装置のSTI構造、並びにこの装置を製造する方法について説明する。

【0138】

図9、図10に、第2の実施の形態に係わるSTI構造の断面構造を工程順に示す。

【0139】

本実施の形態は、上記第1の実施の形態とマスクSiN層103のプルバック工程が異なり、それ以外の工程は上記第1の実施の形態と同様である。従って、以下に上記第1の実施形態と異なる工程のみについて説明する。

【0140】

本実施の形態では、図9に示すように、SiO₂膜102およびSiN膜103をマスク層の一部にして半導体基板101をエッチングした後、プルバック工程において、図10に示すように熱リン酸液を用いてSiN膜103を所望の量、例えば20nm程度エッチングする。

【0141】

このようにすることで、図4に示した上記第1の実施の形態と同様なプルバック形状が得られる。SiN膜103bの膜厚は減少するが、上記第1の実施の形態におけるマスク材104の形成を省略することができるので、工程の簡略化が可能である。

【0142】

(第3の実施の形態)

本発明の第3の実施形態による半導体装置のSTI構造並びにこの構造を実現するための製造方法について説明する。

【0143】

図11に、第3の実施の形態に係わるSTI構造の形成を工程順に示す。本実施の形態は、上記第1の実施の形態と比較して半導体基板上に最初に形成する絶縁膜の形成過程が異なり、それ以外の工程は上記第1の実施の形態と同様である。従って、以下に上記第1の実施形態と異なる工程のみについて説明する。

【0144】

図5に示された上記第1の実施の形態では、STP法を用いてPSZから成る誘電体膜106aを形成する。本実施の形態では、図11に示すように、半導体基板101上に先ず形成する誘電体膜をSTP法によらず、通常のスピン塗布法を複数回用いることによりPSZから成る誘電体膜108を形成する。

【0145】

例えば、最初にPSZから成る塗布膜108を全面に塗布し、ライン/スペースの微小

なパターン、例えば100nm/100nm程度以下のパターンを埋め込む。

【0146】

次に、塗布膜108の膜厚が薄い状態にある溝幅の広いSTI溝を埋め込むように、全体に2回目の塗布を行い、PSZから成る誘電体膜109により埋め込みを行って表面全体を平坦化する。

【0147】

ここで、1回目の塗布の後に酸化処理を行った後、2回目の塗布を行ってもよい。また、PSZから成る誘電体膜108、109の分子量や粘度を調整することにより、あるいはスピコート時の回転数を塗布回数に応じて調整することにより、複数回の塗布後にウェーハ全面に渡って表面が均一になるようにすることができる。

【0148】

その後、400℃程度の温度で、水蒸気を含む雰囲気により30分程度熱処理を行う。

【0149】

さらに、850℃程度のデンシファイ (densify) 工程を行って、STI溝に誘電体膜を埋め込む工程を終了する。この後は、上記第1の実施の形態と同様であり説明を省略する。

【0150】

本実施の形態によれば、STP法を用いることなくPSZからなる誘電体膜108、109を半導体基板面に平坦に形成することができる。

【0151】

(第4の実施の形態)

本発明の第4の実施形態に係る半導体装置のSTI構造、並びにこの装置を製造する方法について説明する。

【0152】

図12から図16に、第4の実施の形態に係わるSTI構造の形成を工程順に示す。

【0153】

本実施の形態は、上記第1、第2の実施形態とは、半導体基板上にPSZからなる誘電体膜を形成する前に、他の絶縁膜を形成する点異なる。それ以外の工程は、上記第1の実施の形態と同様であり、以下に上記第1の実施形態と異なる工程のみについて説明する。

【0154】

ところで、本実施の形態ではマスク部材であるSiN膜を選択的に20nm程度横方向に後退させる、いわゆるプルバック法を用いているが、必ずしもプルバック法を用いる必要はなく、半導体装置の要求性能に応じて選択することができる。

【0155】

プルバック工程には、例えば熱リン酸等を用いるのが一般的である。この時、SiO₂膜102とSiN膜103の選択比を2以上とることができるような等方性エッチングを用いるのが望ましい。

【0156】

図12に示すように、SiN膜103をプルバックしてSiN膜103bとした後、STI溝内に溝の深さ全てをふさがない程度の膜厚に調整したカバレッジのよい絶縁膜141を全面に形成する。ここでは、LP-CVD法によるTEOS-SiO₂膜141を形成している。

【0157】

このSiO₂膜141の膜厚は、例えば70nm幅のSTI溝をふさがないようにするため、10nmから20nm程度に設定する。

【0158】

この後、TEOS-SiO₂膜141のデンシファイアニールを例えば窒素雰囲気中800℃程度で30分程度行う。

【0159】

このデンシファイ処理は、TEOS-SiO₂膜141の膜質を向上させ、後の工程での熱酸化膜に対してのウェットエッチング速度をそろえるために行うためのものである。

【0160】

次に、図13に示すように、SiO₂膜141上に形成する絶縁膜として、塗布型のPSZからなる誘電体膜106aを全面に形成する。

【0161】

ここでは、STP法を用いる場合について示すが、複数回スピンコーティングを行う塗布等、他の方法を用いてもよい。

【0162】

次に、400℃程度の温度で、水蒸気を含む雰囲気中で誘電体膜106aを30分程度熱処理する。

【0163】

この段階では、PSZからなる誘電体膜106aは、SiO₂膜に完全に変換されていない場合が多い。

【0164】

次に、図14に示すように、TEOS-SiO₂膜141と、PSZからなる誘電体膜106aとをSTI溝内に残存させ他の部分を除去するために、例えばドライエッチバック法やBHF等を用いたウェット・エッチング法により、PSZからなる誘電体膜106aをエッチバックしてSiN膜103bの側面が露出する程度、半導体基板101の表面から20nm程度の高さになるように加工する。

【0165】

図15に示すように、酸素雰囲気や窒素等の不活性ガス雰囲気において、700℃から1000℃、例えば850℃程度の温度で30分程度の熱処理を行い、PSZからなる誘電体膜106aをSiO₂膜106bに変換する。

【0166】

この熱処理によって膜中に残留しているNH₃やH₂Oを放出させ、SiO₂膜106bの緻密化処理を行い、Si密度の高いSiO₂膜に変換させることで、膜のリーク電流を低減することができる。

【0167】

また、酸素雰囲気であれば、膜中の炭素(C)等の不純物濃度をさらに低減することができ、リーク電流、さらには膜と半導体基板界面での固定電荷を低減することができる。SiO₂膜106bを薄膜化しているため、この熱処理の効率はよい。

【0168】

次に、SiN膜103bとパッドSiO₂膜102とを除去して、半導体基板101の表面を露出させる。

【0169】

この時、熱酸化膜102とSTI溝内に埋まっているSiO₂膜106bのエッチング速度ができるだけ等しくなるようなウェットエッチング液を用いることが望ましい。例えば、緩衝化フッ酸(バッファードHF)によるSiO₂膜106bのウェットエッチングレートは、熱酸化膜の1.4倍程度に低減することができる。このため、パッドSiO₂膜102の除去の際にも、STI溝上部のSiO₂膜106bが過剰にエッチングされることを抑制することができる。

【0170】

また、本実施の形態の場合、SiO₂膜106bの側面がTEOS-SiO₂膜141で覆われているため、上記第1の実施の形態に比べて、SiO₂膜106bが半導体基板101の表面から後退することを防止できる。

【0171】

次に、図16に示す工程において、犠牲酸化膜107の形成、チャネルイオンの注入、犠牲酸化膜の除去、ゲート絶縁膜の形成を行う。

【0172】

この段階で、STI溝に埋め込まれた SiO_2 膜106bは、半導体基板101の表面とはほぼ同じあるいは多少低下している程度であるが、STI溝のコーナ部は、 TEOS-SiO_2 膜141により覆われている構造となる。

【0173】

この後更に、ゲート電極の形成、ソース／ドレイン拡散層の形成、層間絶縁膜の形成、コンタクトの形成、配線層の形成、パッシベーション膜の形成、パッドの形成等を経て、MOSトランジスタを完成させる。

【0174】

上述した第4の実施形態によれば、半導体装置、特にSTP法によるPSZからなる誘電体膜を形成することにより、大きなアスペクト比のSTI構造でも窪み等の形状の劣化のないSTI構造を実現することが可能である。

【0175】

特に、STI幅が $1\mu\text{m}$ 以上のような広い溝幅においても、あるいはSTI溝幅が70nm程度以下の狭い溝幅においても、PSZ膜を半導体基板全面にわたり所望の膜厚に均一に形成することができる。

【0176】

従って、STI溝幅によらずSTI溝内に形状劣化のない素子分離構造を実現することができる。

【0177】

また、STI溝形成後の半導体製造工程において繰り返される半導体基板表面の酸化や酸化膜除去等の工程においても、STIコーナの露出を防止し得る良好な形状のSTI構造を維持して素子分離を実現することができる。また、リーク電流の低減やSTI溝底における固定電荷の低減を実現することができ、製品の歩留まりを向上させることができる。

【0178】

(第5の実施の形態)

本発明の第5の実施形態による半導体装置のSTI構造及びその製造方法について説明する。

【0179】

図17から図23に、第5の実施の形態に係わるSTI構造の形成を工程順に示す。

【0180】

本実施の形態は、上記第1の実施形態とはSTI溝の形成方法、並びに SiN 膜の側壁にCVD酸化膜が形成されている点で異なる。それ以外の工程は、上記第1の実施の形態と同様であり、以下上記第1の実施形態と異なる工程のみにちて説明する。

【0181】

また、本実施の形態では、マスク部材である SiN 膜を選択的に20nm程度横方向に後退させるプルバック法を用いていないが、プルバック法を用いた場合と同様な効果を実現している。

【0182】

まず、図17に示すように、半導体基板101の表面に SiO_2 膜122をパッド酸化膜として例えば膜厚4nm程度に形成する。その表面上に、LP-CVD法を用いてマスク材としての SiN 膜123を膜厚150nm程度形成する。

【0183】

その後、通常の露光技術とRIE法によるドライエッチング技術を用いて、 SiN 膜123を加工する。次に、図示されていないレジスト膜を除去し、全面にLP-CVD法を用いて TEOS-SiO_2 膜124を例えば膜厚20nm程度堆積する。

【0184】

SiO_2 膜124の全面にRIE法を用いてドライエッチバックして、 SiN 膜123の側壁に残置させる。いわゆる、「側壁残し」と称される工程に相当する。

【0185】

図18に示すように、SiN膜123とSiO₂膜124とをマスクにして、半導体基板121にSTI素子分離のためのSTI溝を、例えば深さ200nmから300nm程度形成する。この溝は素子分離用であるので、必要に応じて異なる幅のSTI溝が形成される。ここでは、4μm以上の広いSTI幅と、70nm程度の狭いSTI幅と、200nm程度のSTI幅の3つが混在した場合を想定している。

【0186】

半導体基板101を通常の熱酸化法を用いて酸化し、STI溝内壁に膜厚2nmから4nm程度の熱酸化膜125を形成する。

【0187】

なお、通常の熱酸化の代わりに、酸素ラジカルを用いてSTI溝の側面に半導体基板101の面方位によらない均一な膜厚の高品質の酸化シリコン膜を形成してもよい。

【0188】

あるいはまた、ISSG (In-Situ Steam Generation) 法を用いて、STI溝部内壁ばかりでなくSiN膜123の側面を僅かに酸化しておいてもよい。

【0189】

次に図19に示すように、STI溝を含む全面に誘電体膜126を半導体基板101の表面に沿って平坦になるように埋め込む。ここではSTP法を用いて埋め込む場合を示すが、他の平坦化手法を用いて誘電体膜126を埋め込んでもよい。

【0190】

SiN膜123上において、100nm程度の膜厚になるようにSTP法を用いて、この誘電体膜126を埋め込む。ここでは、例えばPSZ膜を堆積する。

【0191】

STP工程において、ベースフィルムに塗布する塗布装置を用いて、150℃程度で溶媒を揮発させるベーク工程を3分程度行う。

【0192】

この時、SiN膜123は130nm程度であるので、誘電体膜126の表面からSTI溝の溝底までは約534nm程度の膜厚となる。

【0193】

STP法による埋め込み特性は上述したように良好であり、70nm程度の細いSTI溝幅、さらには広いSTI溝幅に対してもヴォイドなく全面に約±10nm程度の平坦度で埋め込むことができる。

【0194】

次に、誘電体膜126を、例えば400℃の水蒸気雰囲気でのBOX酸化を15分から30分程度行い、SiO₂膜126に変換する。

【0195】

ここでは400℃の例を示したが、水蒸気雰囲気での酸化は200℃から600℃程度の範囲から所望の温度を選択することができる。望ましくは、350℃から450℃の範囲である。

【0196】

次に、酸化性雰囲気、または窒素等の不活性ガス雰囲気において、700℃から1000℃、望ましくは850℃程度の窒素雰囲気です30分程度の熱処理を行う。これにより、PSZ膜から変換されたSiO₂膜に残留しているNH₃やH₂Oを放出させ、SiO₂膜の緻密化処理を行い、Si密度の高いSiO₂膜126に変換させる。

【0197】

これらの熱処理は、次のエッチバック工程の後に行ってもよい。また、これらの熱工程の条件設定により、SiO₂膜126の膜ストレスを変化させることができる。

【0198】

次に、図20に示すように、STIの高さ調整のために、例えばRIE法を用いたドライ・エッチング法によりSiO₂膜126をエッチバックする。この工程では、SiN膜123の表面が露出したか否かを示すエッチング信号をモニタしながら、半導体基板10

1の表面からの高さが例えば20nm程度になるように、SiO₂膜126を加工する。

【0199】

ドライエッチング法によるエッチバックでは、STIパターン疎密差、即ちSTI幅の違いによるSiO₂膜126のSi密度の違いによるエッチング速度の差が現れにくく、ほぼエッチバックの均一性に対応した膜厚でSTI溝およびSiN膜123側面部にSiO₂膜126を形成することができる。

【0200】

ここでは、半導体基板101の表面からのSiO₂膜126の膜厚が20nmである場合について示したが、この値はその後のプロセスによって調整することが可能である。

【0201】

次に図21に示すように、SiN膜123と、SiN膜123の下部のパッドSiO₂膜122とを除去して、半導体基板121の表面を露出させる。

【0202】

この時、熱酸化膜122とSTI溝内に埋まっているSiO₂膜126のウェットエッチング速度ができるだけ一致するようなウェットエッチング液を用いることが望ましい。例えば、緩衝化フッ酸（バッファードHF）によるSiO₂膜126のウェットエッチングレートは、熱酸化膜の1.4倍程度に低減することができる。

【0203】

このため、パッドSiO₂膜126の除去の際にも、STI溝上部のSiO₂膜126が過剰にエッチングされることを抑制することができる。

【0204】

また、このウェットエッチングには正確なエッチング膜厚制御を行い、過剰なオーバーエッチングを行わないようにすることが望ましい。

【0205】

このようにすることで、図21に示すように、半導体基板101の表面を露出させても、SiO₂膜124をSiO₂膜126の側面に残置させることが可能となる。

【0206】

次に図22に示すように、犠牲酸化膜127の形成、図示されていないチャネルイオンの注入を行う。

【0207】

さらに図23に示すように、犠牲酸化膜127を除去したのち、ゲート絶縁膜128の形成を行う。

【0208】

この段階で、STI溝に埋め込まれたSiO₂膜126は、半導体基板101の表面にほぼそろうようにウェットエッチング量を調整することが望ましい。

【0209】

この後更に、ゲート電極の形成、ソース／ドレイン拡散層の形成、層間絶縁膜の形成、コンタクトの形成、配線層の形成、パッシベーション膜の形成、パッド形成等を経て、MOSトランジスタを完成させる。

【0210】

上述した第5の実施形態によれば、特にSTP法による誘電体膜の形成により、大きなアスペクト比のSTI構造でも窪み等形状の劣化のない所望形状のSTI構造を形成することができる。

【0211】

特に、STI幅が1μm以上の広い溝幅、あるいはSTI溝幅が70nm程度以下の狭い溝幅においても、誘電体膜を基板全面にわたって所望の膜厚に均一に形成することができる。

【0212】

従って、STI溝幅によらずSTI溝内に形状劣化のない素子分離構造を実現することができる。

【0213】

また、STI形成後の半導体製造工程において繰り返される半導体基板表面の酸化や酸化膜除去等の工程においても、STIコーナの露出がない良好な形状のSTI構造を維持して素子分離が実現することができ、またリーク電流の低減やSTI溝底における固定電荷の低減が実現することができるので、製品の歩留まりを向上させることができる。

【0214】

また、リソグラフィの限界よりも狭い幅のSTIが実現することができ、活性領域幅を増加させることができるので、トランジスタのチャネル幅を増加することが可能であり、その結果チャネル電流を増加させることができる。このため駆動電流を増加させて、素子の高速動作が可能になる。

【0215】

以上のように、本発明の第1乃至第5の実施の形態によれば、以下のような効果が得られる。

【0216】

先ず、70nm以下の狭いSTI幅において、CMP法によるエッチング時のマスクシリコン窒化膜のやられがなく、パッドシリコン酸化膜や犠牲シリコン酸化膜を剥離する際のウェットエッチングによるくぼみの形成が抑えられる。

【0217】

このため、STI溝の上部側面に鋭角のシリコンコーナが露出する部分がなく、これによりデिवォットと称される、埋め込んだ絶縁膜が後退してすることができなくぼみのない素子分離構造を実現することができる。

【0218】

さらに、広い溝幅を有するSTI溝、また狭い溝幅を有するSTI溝においても、STI溝中に膜ストレスの小さな材料として、例えばPSZ膜等を用いることにより、STI溝の埋め込み膜による膜ストレスを緩和することができ、シリコン結晶欠陥のパターン依存性を低減することができ、製品の歩留まりの向上に寄与する。

【0219】**(6) 第6の実施の形態**

本発明の第6の実施の形態について図面を参照し説明する。

【0220】

図28にSTI素子分離構造を用いたMOS型トランジスタ構造の平面を示し、図29に図28のA-A線に沿う縦断面を示す。但し、メタル配線部から上層の配線層及びパッシベーション層は、図面では省略されている。

【0221】

半導体基板300の表面部分において、活性領域A11が配置され、その周囲にSTI溝による素子分離領域STI11が設けられている。STI溝には、例えば100nmを超えるような広い溝幅のSTI溝STI11、あるいは70nm以下のような狭い溝幅のSTI溝STI304が混在する。

【0222】

活性領域A11において、ソース/ドレイン領域間のチャネル領域上にゲート絶縁膜G11を介してゲート電極GE11が形成され、表面全体に層間絶縁膜321が形成されている。半導体基板300の所望の領域において、層間絶縁膜321にコンタクトホールCH11が開口され、層間絶縁膜321上のメタル配線MW11に接続されている。

【0223】

本実施の形態によるSTI型素子分離構造は、STI内部に埋め込まれた絶縁膜の形状を除いて、図51～図55に示された塗布膜及びHDP-SiO₂膜を用いたハイブリッド型STI型素子分離構造と同等である。

【0224】

ここで、図51～図55に示されたハイブリッド型STI構造と本実施の形態のSTI構造の異なる点は、以下の通りである。

【0225】

1) $1\mu\text{m}$ 以上のSTI幅および70nm以下の狭いSTI幅において、塗布膜がSTI溝内において半導体基板表面より下部の領域にのみ形成されている。これにより、マスクSiN膜やパッドSiO₂膜を除去する際のウェットエッチングによるくぼみの形成を完全に抑えることができる。

【0226】

このため、STI溝の上部側面に鋭角のコーナが露出する部分がなくなり、すなわちディヴォットと称される埋め込んだ絶縁膜が異常に後退してできる窪みが存在しない。

【0227】

2) 広いSTI幅あるいは狭いSTI幅においても、STI溝の底部領域に安定して塗布された誘電体膜が形成される。これにより、誘電体膜に膜ストレスの小さな材料、例えばPSZ膜等を用いることにより、STI溝の埋め込み膜による膜ストレスを緩和することができ、シリコン結晶欠陥を低減させて製品の歩留まりを向上させることができる。

【0228】

次に、このようなハイブリッド型STI構造を形成する製造方法について説明する。

【0229】

図30～図35に、本実施の形態による工程別の素子断面を示す。

【0230】

ここでは、STI構造の形成工程に絞って説明するが、この後ゲート絶縁膜、ゲート電極、層間絶縁膜、コンタクト、配線の形成を通常のLSI製造方法に従って行うことで、LSIを完成させることができる。

【0231】

まず、図30に示すように、半導体基板300の表面にSiO₂膜301を例えば膜厚4nm程度形成する。その上に、LP-CVD法を用いてマスク材としてのSiN膜302を膜厚150nm程度形成する。

【0232】

その後、通常の露光技術とRIE法によるドライエッチング技術を用いて、SiN膜302、SiO₂膜301、半導体基板300の順序で加工し、半導体基板300にSTI素子分離のための素子分離溝としてSTI溝303を、例えば深さ300nm程度に形成する。

【0233】

これは素子分離のための溝であるので、必要に応じて異なる幅のSTI溝が半導体基板300に形成される。ここでは、 $1\mu\text{m}$ 以上の広いSTI幅の場合と、70nm程度の狭いSTI幅とが混在した場合について述べる。

【0234】

尚、本実施の形態は、SiN膜302をマスク材として用いる場合を示している。しかし、SiN膜302上にSiO₂膜を積層し、このSiO₂膜を半導体基板300のエッチングマスク材として用いてもよい。

【0235】

次に、半導体基板300を通常の熱酸化法を用いて酸化し、STI溝303の側面に膜厚4nm程度の熱酸化膜304を形成する。

【0236】

なお、通常の熱酸化の代わりに酸素ラジカルを用いて、STI溝303の側面にシリコン(Si)の面方位によらない均一な高品質の酸化シリコン膜を形成してもよい。また、ISSG法を用いてSiN膜302の側面を僅かに酸化しておいてもよい。

【0237】

次に図31に示すように、STI溝に誘電体膜を平坦に埋め込む。ここでは、STP法を用いて埋め込む場合について述べる。

【0238】

例えば、マスクSiN膜302上において100nm程度の膜厚になるように、STP

法を用いてP S Zからなる誘電体膜305を堆積する。

【0239】

ベースフィルムに塗布する塗布装置を用いて、150℃程度で溶媒を揮発させるベーク工程を3分程度行なう。

【0240】

この時、SiN膜302は150nm程度であるので、P S Z膜305の表面からSTI溝303の溝底までは約450nm程度の膜厚となる。

【0241】

上述したように、STP法による埋め込み特性は良好であり、70nm程度の細いSTI溝幅、あるいは広いSTI幅へもヴォイドなしで前面に約±10nm程度の平坦度で埋め込むことができる。次に、誘電体膜305をSiO₂膜305aに変換する。

【0242】

この時、素子形成領域はSiN膜302で覆われているので、素子形成領域における半導体基板300表面は酸化されない。

【0243】

この化学反応は、誘電体膜305のSTI溝303中で露出している表面から進行していき、例えば300℃又は400℃の水蒸気雰囲気でのBOX酸化を30分程度行うことで、平面構造の半導体基板300に600nm程度の厚さで形成した誘電体膜305をSiO₂膜に変換させることができる。

【0244】

誘電体膜305は表面からSTI溝303の底まで450nm程度の厚さであるため、300℃又は400℃で30分間程度BOX酸化を行なうことで、Si-N結合からSi-O結合への変換が促進される。その結果、異なる溝幅を有するSTI溝303に埋め込まれたP S Z膜305を、溝底まで完全にSiO₂膜305へ変換することができる。

【0245】

また、酸化性雰囲気、あるいは窒素等の不活性ガス雰囲気において、700℃から1000℃、例えば800℃程度の温度で30分程度の熱処理を行い、誘電体膜305から変換されたSiO₂膜305に残留しているNH₃やH₂Oを放出させ、SiO₂膜305の緻密化処理を行い、Si密度の高いSiO₂膜305に変換させて、膜のリーク電流を低減することが可能である。

【0246】

酸素雰囲気であれば、膜中の炭素(C)等の不純物濃度をさらに低減することができ、リーク電流、さらには膜と半導体基板界面での固定電荷を低減することができる。

【0247】

また、窒素ガス等の不活性ガス雰囲気で行うことで、STI溝303中のシリコン側面の酸化を抑えることができ、素子幅の減少、すなわちSTI幅の増加を抑えることができる。

【0248】

この場合、素子形成領域はSiN膜302で覆われているため、酸化性雰囲気においても酸化されることはない。

【0249】

また、緻密化工程では、通常の炉による熱処理以外にRTAやRTOを用いてもよい。

【0250】

RTAの場合は、より高温、例えば950℃で20秒程度の短時間の高温熱処理工程を用いることができる。これらの熱処理は、次のエッチバック工程の後に行ってもよい。

【0251】

次に、図32に示すように、STI溝の底部にのみP S Zからなる誘電体膜を埋め込んで他の部分を除去するために、例えばドライ・エッチング法、またはウェット・エッチングあるいは全面CMPとウェットエッチングの組み合わせ等により、SiO₂膜305をエッチバックする。

【0252】

ドライエッチング法によるエッチバックでは、誘電体膜のSi密度の違いによるエッチング速度の差が現れにくく、STI溝の底部にはほぼエッチバックの均一性に対応した膜厚で形成することができる。

【0253】

PSZからなる誘電体膜305は、STI底部における高さ、半導体基板300の表面より例えば100nm程度低くなるように形成する。この膜厚は、埋め込む誘電体膜の膜ストレスや、この後に形成する例えばHDP-SiO₂膜の埋め込み特性によって最適化することが可能である。

【0254】

また、図32の丸印321に示すように、ドライエッチバック時には異方性エッチング条件を用いるので、SiN膜302をマスクに誘電体膜305をエッチングする際に、SiN膜302のひさし効果により、シリコン側壁にSiO₂膜304の一部が残し、シリコン側面のエッチングを防止することができる。

【0255】

次に図33に示すように、例えばHDP-SiO₂膜306を堆積して緩和されたアスペクトのSTI溝303内を埋め込む。

【0256】

この場合、STI溝303の深さは300nmから100nm程度に緩和されているので、HDP-CVD法を用いたSiO₂膜306を全面に堆積してSTI溝303を完全に埋め込むことが可能である。

【0257】

その後、SiO₂膜306を、例えば850℃で30分程度、N₂雰囲気中で熱処理することにより、緻密化することができる。

【0258】

次に、図34に示すように、CMP法によりHDP-SiO₂膜306を研磨することにより、マスクSiN膜302の表面を基準に平坦化する。

【0259】

図35に示すように、SiN膜302とパッドSiO₂膜301を除去して、半導体基板300の表面を露出させる。

【0260】

この時、STI上部のSiO₂膜306は、HDP-SiO₂膜を熱処理して形成した膜であるため、緩衝化フッ酸（バッファードHF）によるウェットエッチングレートは熱酸化膜の1.0から1.2倍程度に低減させることができる。

【0261】

このため、SiO₂膜301の除去の際にも、STI溝上部のSiO₂膜306を過剰にエッチングすることが防止される。

【0262】

半導体基板300表面より上部にわずかに膨らんだ、断面が台形状のSiO₂膜306が埋め込まれ、所望形状のSTI構造を実現することができる。

【0263】

この後、図示されていない犠牲酸化膜の形成、チャネルイオンの注入、犠牲酸化膜の除去、ゲート絶縁膜の形成、ゲート電極の形成、ソース／ドレイン拡散層の形成、層間絶縁膜の形成、コンタクトの形成、配線層の形成、パッシベーション膜の形成、パッドの形成等を経てMOSトランジスタを完成させる。

【0264】

上述した第6の実施形態によれば、PSZ膜とHDP-SiO₂膜とを組み合わせることで、大きなアスペクト比のSTI構造でも窪み等形状の劣化のない所望形状のSTI構造を形成することが可能である。

【0265】

特に、STI幅が $1\mu\text{m}$ 以上の広い溝幅、あるいはSTI溝幅が 70nm 程度以下の狭い溝幅においても、PSZ膜を全面渡ってSTI溝底部に所望の膜厚に均一に形成することができる。さらに、STI溝の上部はウェットエッチング速度が熱酸化膜とほぼ等しいHDP-SiO₂膜で完全に埋め込むことが可能である。

【0266】

これにより、STI溝幅によらずSTI溝内に形状劣化のない素子分離構造を形成することができる。

【0267】

また、STI形成後の半導体製造工程において繰り返される半導体基板表面の酸化や酸化膜除去等の工程においても、良好な形状のSTI構造を維持して素子分離を実現することができる。また、リーク電流の低減、並びにSTI溝底における固定電荷の低減を実現することができる、製品の歩留まりを向上させることができる。

【0268】

(第7の実施の形態)

本発明の第7の実施形態に係る半導体装置のSTI構造及びその製造方法について説明する。

【0269】

図36、図37に、第7の実施の形態に係わるSTI構造の形成を工程順に示す。

【0270】

本実施の形態は、上記第6の実施の形態とは誘電体膜の形成過程が異なり、それ以外の工程は同様である。従って、以下に上記第6の実施形態と異なる工程のみについて説明する。

【0271】

本実施の形態では、図36に示すように、PSZからなる誘電体膜305の形成をSTP法を用いずに通常のスピンドット法で形成している。誘電体膜の分子量や粘度を調整することにより、またスピンドット時の回転数を調整することにより、全面に渡り均一になるように塗布することができる。その後、 400°C 程度の温度で、酸素雰囲気により30分程度熱処理を行う。この段階では、誘電体膜305はSiO₂膜に完全に変換されていない。

【0272】

次に、図37に示すように、STI溝の底部にPSZからなる誘電体膜をSTI溝底部に残存させ他の部分を除去するために、例えばドライ・エッチング法、またはウェット・エッチング、あるいはまた全面CMPとウェットエッチングの組み合わせ等により、誘電体膜305をエッチバックしてSTI溝底部に残存させる。

【0273】

ドライエッチング法によるエッチバックでは、誘電体膜305のSi密度の違いによるエッチング速度の差が現れにくく、STI溝底部にほぼエッチバックの均一性に対応した膜厚で形成することができる。

【0274】

誘電体膜305のSTI底部における高さは、半導体基板300の表面から例えば 100nm 程度低くなるように形成する。

【0275】

この膜厚は、埋め込む誘電体膜300の膜ストレスや、その表面上に形成する例えばHDP-SiO₂膜の埋め込み特性によって、最適化することが可能である。

【0276】

この後、 400°C 程度のBOX酸化と酸化性雰囲気、または窒素等の不活性ガス雰囲気において、 700°C から 1000°C 、例えば 800°C 程度の温度で30分程度の熱処理を行い、PSZからなる誘電体膜305から変換されたSiO₂膜305に変換する。この熱処理で、膜中に残留しているNH₃やH₂Oを放出させ、SiO₂膜305の緻密化処理を行い、Si密度の高いSiO₂膜305に変換させて、膜のリーク電流を低減するこ

とができる。

【0277】

また、酸素雰囲気であれば、膜中の炭素（C）等の不純物濃度をさらに低減することができ、リーク電流や膜と半導体基板界面での固定電荷を低減させることができる。SiO₂膜305は薄膜化されているので、この熱処理の効率はよい。

【0278】

本実施の形態によっても、PSZからなる誘電体膜とHDP-SiO₂膜のハイブリッド構造を用いてSTI溝に埋め込み良好な形状のSTI素子分離構造を実現することができる。

【0279】

（第8の実施の形態）

本発明の第8の実施形態に係る半導体装置のSTI構造並びに製造方法について説明する。

【0280】

図38から図43に、第3の実施の形態に係わるSTI構造の形成を工程順に示す。

【0281】

本実施の形態は、上記第6、第7の実施形態とは、PSZからなる誘電体膜の形成前に他の絶縁膜が形成されている点異なる。それ以外の工程は、上記第7の実施の形態と同様であり、以下上記第7の実施形態と異なる工程についてのみ説明する。

【0282】

また、本実施の形態では、マスク材であるSiN膜302を選択的に10nm程度横方向に後退させるプルバック法を用いているが、プルバック法を用いるか否かは、半導体装置の要求性能に応じて選択することができる。

【0283】

プルバック工程には、例えばホット燐酸等を用いるのが一般的である。この時、SiO₂膜301とSiN膜302の選択比が2以上であるような等方性エッチングを用いることが望ましい。

【0284】

図38に示すように、STI溝内に溝全体をふさがない程度の膜厚に調整したカバレッジのよい絶縁膜を全面に形成する。ここでは、LP-CVD法によるTEOS-SiO₂膜308を形成する。

【0285】

膜厚は、例えば70nm幅のSTI溝をふさがないようにするため、20nm程度に設定する。

【0286】

次に、塗布型誘電体膜305として、例えばPSZ膜を全面に形成する。ここでは、誘電体膜305の形成を、STP法によらず通常のスピン塗布法で形成しているが、STP法を用いて形成してもよい。

【0287】

誘電体膜305の分子量や粘度を調整することにより、またスピンコート時の回転数を調整することにより、全面に渡って均一になるように塗布する。

【0288】

その後、400℃程度の温度で、酸素雰囲気により30分程度熱処理する。この段階では、PSZからなる誘電体膜305はSiO₂膜305に完全に変換されていない。

【0289】

次に、図39に示すように、STI溝の底部に誘電体膜305をSTI溝の底部に残存させ他の部分を除去するために、例えばBHF等を用いてウェット・エッチング法により誘電体膜305をエッチバックする。

【0290】

ウェットエッチング法によるエッチバックでは、TEOS-SiO₂膜308とPSZ

膜 305 のエッチング速度に差があるため、TEOS-SiO₂ 膜 308 のエッチングをあまり行わずに PSZ 膜 305 を STI 溝底部に残存させることができる。

【0291】

PSZ からなる誘電体膜 305 の STI 底部における高さは、半導体基板 300 の表面から例えば 100 nm 程度低くなるように形成する。

【0292】

次に図 40 に示すように、400℃程度のBOX酸化を行った後、酸化性雰囲気または窒素等の不活性ガス雰囲気において、700℃から1000℃、例えば800℃程度の温度で30分程度の熱処理を行い、PSZ からなる誘電体膜 305 から変換された SiO₂ 膜 305 に変換する。

【0293】

この熱処理で、膜中に残留している NH₃ や H₂O を放出させ、SiO₂ 膜 305 の緻密化処理を行い、Si 密度の高い SiO₂ 膜 305 に変換させて、膜のリーク電流を低減することができる。

【0294】

また、酸素雰囲気であれば、膜中の炭素 (C) 等の不純物濃度をさらに低減することができ、リーク電流や膜と半導体基板界面での固定電荷を低減することができる。誘電体膜 305 は薄膜化しているので、この熱処理の効率はよい。

【0295】

図 41～図 43 に示された以降の工程は、上記第 6 の実施の形態と基本的に同様である。図 41 において、HDP-SiO₂ 膜 307 を堆積してアスペクトが緩和された STI 溝を埋める。

【0296】

その後、図 42 に示すように、CMP 法を用いて SiN 膜 302 の表面を露出させる程度に平坦化の研磨を行う。

【0297】

図 43 に示すように、マスク材の SiN 膜 302 とパッド SiO₂ 膜 301 をウェットエッチングで剥離する。

【0298】

このような第 8 の実施形態によっても、第 1 に TEO S-SiO₂ 膜 304、第 2 に PSZ からなる誘電体膜 305、第 3 に HDP-SiO₂ 膜 307 のハイブリッド構造を用いて良好な形状の STI 構造を実現することができる。

【0299】

また、第 8 の実施の形態では、マスク用の SiN 膜 302 のプルバック工程と、TEOS-SiO₂ 膜 307 のウェットエッチング法を用いたリセス工程を行う場合について示した。

【0300】

この場合は、図 43 において丸印部 308 で示されたように、SiN 膜 302 の側面に TEO S-SiO₂ 膜 307 の一部が残留し、後の工程でパッド SiO₂ 膜 301 を除去するときに、半導体基板 300 側に SiO₂ 膜 307 が張り出して形成されているので、上記第 6、第 7 の実施の形態よりも安定して半導体基板のコーナの露出を防止することができる。

【0301】

(第 9 の実施の形態)

本発明の第 9 の実施の形態による STI 構造及びその製造方法について説明する。

【0302】

本実施の形態は、半導体装置、特に NAND 型フラッシュや CMOS ロジックデバイス等において、STI 溝に TEO S-SiO₂ 膜と HDP-SiO₂ 膜とで PSZ からなる誘電体膜を覆うように形成するハイブリッド型 STI 素子分離構造に好適なものである。

【0303】

図44～図45に、本実施の形態による工程別の素子断面を示す。

【0304】

図44に示すように、半導体基板401の表面に SiO_2 膜402、フローティングゲートとなる導電性材料からなる導電膜403、マスク材としての SiN 膜404をそれぞれ形成する。

【0305】

その後、通常の露光技術とRIE法によるドライエッチング技術を用いて、 SiN 膜404、導電膜403、 SiO_2 膜402、半導体基板401の順序で加工し、半導体基板401にSTI素子分離のための素子分離溝としてSTI溝を、例えば深さ300nm程度に形成する。

【0306】

尚、本実施の形態は、 SiN 膜404をマスク材として用いる場合を示している。しかし、 SiN 膜404上に SiO_2 膜を積層して SiO_2 膜を半導体基板401のエッチングマスク材として用いてもよい。

【0307】

次に、STI溝内に溝全体をふさがない程度の膜厚に調整したカバレッジのよい絶縁膜として、例えばLP-CVD法によるTEOS- SiO_2 膜411を形成する。

【0308】

膜厚は、例えば70nm幅のSTI溝をふさがないようにするため、20nm程度に設定する。

【0309】

次に、塗布型誘電体膜412aとして、例えばPSZ膜を全面に形成する。ここでは、誘電体膜412aをSTP法によらず通常のスピン塗布法で形成しているが、STP法を用いて形成してもよい。

【0310】

誘電体膜412aの分子量や粘度を調整することにより、またスピンコート時の回転数を調整することにより、全面に渡って均一になるように塗布することができる。

【0311】

その後、400℃程度の温度で、酸素雰囲気により30分程度熱処理を行い、PSZからなる誘電体膜412aを SiO_2 膜に変換する。しかし、この段階では完全に SiO_2 膜に変換されていない。

【0312】

表面全体にCMP法を用いて平坦化した後、STI溝の底部に誘電体膜412bをSTI溝の底部に残存させ他の部分を除去するために、例えばドライエッチング法、さらに後処理としてウェットエッチング法を用いて、誘電体膜412aに対してエッチバックする。

【0313】

この後、400℃程度のBOX酸化と酸化性雰囲気、または窒素等の不活性ガス雰囲気において、700℃から1000℃、例えば800℃程度の温度で30分程度の熱処理を行い、PSZからなる誘電体膜412bから変換された SiO_2 膜412bに変換する。この熱処理で、膜中に残留している NH_3 や H_2O を放出させ、 SiO_2 膜412bの緻密化処理を行って、膜のリーク電流を低減することができる。

【0314】

また、酸素雰囲気であれば、膜中の炭素(C)等の不純物濃度をさらに低減することができ、リーク電流や膜と半導体基板界面での固定電荷を低減させることができる。ここで、 SiO_2 膜412bは薄膜化されているので、この熱処理の効率はよい。

【0315】

次に、HDP- SiO_2 膜413aを堆積してアスペクトが緩和されたSTI溝を埋める。CMP法を用いて SiN 膜404の表面を露出させる程度に平坦化の研磨を行う。

【0316】

以降の工程は、上記第6～第8の実施の形態と同様であり、ゲート電極の形成、ソース／ドレイン拡散層の形成、層間絶縁膜の形成、コンタクトの形成、配線層、パッシベーション膜の形成、パッドの形成等を経て、MOSFETを完成させる。

【0317】

このような第9の実施形態によっても、STI溝内においてTEOS-SiO₂膜411とHDP-SiO₂膜413bとでPSZから変換されたSiO₂膜412bを囲んだハイブリッド構造による良好な形状のSTI構造を実現することができる。

【0318】

特に、NAND型フラッシュメモリやロジックデバイス等において、PSZからなる誘電体膜をTEOS-SiO₂膜を介してSTI溝の下部に埋め込むことにより、トンネル絶縁膜へのダメージを防止することができるので、メモリやロジックデバイス等の信頼性を向上することができる。

【0319】

また、STI溝の下部に埋め込んだTEOS-SiO₂膜、PSZからなる誘電体膜によってSTI溝のアスペクトを緩和した状態で、その上部にHDP-SiO₂膜を埋め込むので、良好な埋め込み特性を得ることができる。

【0320】

さらにこのようなSTI素子分離構造とすることで、フラッシュメモリにおけるフローティングゲート用の導電膜の側面や、CMOSロジックデバイスにおけるマルチ酸化膜が存在する場合にも、これらの膜にダメージを与えることなくウェットエッチング工程においてHDP-SiO₂膜のウェットエッチングを制御よく行なうことができる。

【0321】

また、STI溝の中において、誘電体膜412bの周囲を覆うようにTEOS-SiO₂膜411とHDP-SiO₂膜413bとが形成されており、これらの膜411及び413bよりもSi密度の低い誘電体膜412bが存在する構造とすることで、STI絶縁膜全体が有する膜ストレスを緩和することが可能である。これにより、膜ストレスによるパターン歪や結晶欠陥を防止でき、製品の歩留まりを向上することができる。

【0322】

尚、上述した実施の形態はいずれも本発明を限定するものではなく、技術的範囲を逸脱しない範囲内で種々に変形し、実施することができる。

【図面の簡単な説明】

【0323】

【図1】本発明の第1～第5の実施の形態を適用することが可能な半導体装置の概略構成を示す平面図。

【図2】図1におけるA-A線に沿う縦断面を示す断面図。

【図3】同第1の実施の形態による製造工程別の素子の断面構造を示した断面図。

【図4】同第1の実施の形態による製造工程別の素子の断面構造を示した断面図。

【図5】同第1の実施の形態による製造工程別の素子の断面構造を示した断面図。

【図6】同第1の実施の形態による製造工程別の素子の断面構造を示した断面図。

【図7】同第1の実施の形態による製造工程別の素子の断面構造を示した断面図。

【図8】同第1の実施の形態による製造工程別の素子の断面構造を示した断面図。

【図9】本発明の第2の実施の形態による製造工程別の素子の断面構造を示した断面図。

【図10】同第2の実施の形態による製造工程別の素子の断面構造を示した断面図。

【図11】本発明の第3の実施の形態による製造工程別の素子の断面構造を示した断面図。

【図12】本発明の第4の実施の形態による製造工程別の素子の断面構造を示した断面図。

【図13】同第4の実施の形態による製造工程別の素子の断面構造を示した断面図。

【図14】同第4の実施の形態による製造工程別の素子の断面構造を示した断面図。

- 【図 15】 同第 4 の実施の形態による製造工程別の素子の断面構造を示した断面図。
【図 16】 同第 4 の実施の形態による製造工程別の素子の断面構造を示した断面図。
【図 17】 本発明の第 5 の実施の形態による製造工程別の素子の断面構造を示した断面図。
【図 18】 同第 5 の実施の形態による製造工程別の素子の断面構造を示した断面図。
【図 19】 同第 5 の実施の形態による製造工程別の素子の断面構造を示した断面図。
【図 20】 同第 5 の実施の形態による製造工程別の素子の断面構造を示した断面図。
【図 21】 同第 5 の実施の形態による製造工程別の素子の断面構造を示した断面図。
【図 22】 同第 5 の実施の形態による製造工程別の素子の断面構造を示した断面図。
【図 23】 同第 5 の実施の形態による製造工程別の素子の断面構造を示した断面図。
【図 24】 S T P 法を用いて S T I 溝に絶縁膜を埋め込む方法を工程別に示した断面図。
【図 25】 S T P 法を用いて S T I 溝に絶縁膜を埋め込む方法を工程別に示した断面図。
【図 26】 S T P 法を用いて S T I 溝に絶縁膜を埋め込む方法を工程別に示した断面図。
【図 27】 S T P 法を用いて S T I 溝に絶縁膜を埋め込む方法を工程別に示した断面図。
【図 28】 本発明の第 6 ～ 第 8 の実施の形態を適用することが可能な半導体装置の概略構成を示す平面図。
【図 29】 図 29 における A - A 線に沿う縦断面を示す断面図。
【図 30】 同第 6 の実施の形態による製造工程別の素子の断面構造を示した断面図。
【図 31】 同第 6 の実施の形態による製造工程別の素子の断面構造を示した断面図。
【図 32】 同第 6 の実施の形態による製造工程別の素子の断面構造を示した断面図。
【図 33】 同第 6 の実施の形態による製造工程別の素子の断面構造を示した断面図。
【図 34】 同第 6 の実施の形態による製造工程別の素子の断面構造を示した断面図。
【図 35】 同第 6 の実施の形態による製造工程別の素子の断面構造を示した断面図。
【図 36】 本発明の第 7 の実施の形態による製造工程別の素子の断面構造を示した断面図。
【図 37】 同第 7 の実施の形態による製造工程別の素子の断面構造を示した断面図。
【図 38】 本発明の第 8 の実施の形態による製造工程別の素子の断面構造を示した断面図。
【図 39】 同第 8 の実施の形態による製造工程別の素子の断面構造を示した断面図。
【図 40】 同第 8 の実施の形態による製造工程別の素子の断面構造を示した断面図。
【図 41】 同第 8 の実施の形態による製造工程別の素子の断面構造を示した断面図。
【図 42】 同第 8 の実施の形態による製造工程別の素子の断面構造を示した断面図。
【図 43】 同第 8 の実施の形態による製造工程別の素子の断面構造を示した断面図。
【図 44】 本発明の第 9 の実施の形態による製造工程別の素子の断面構造を示した断面図。
【図 45】 同第 9 の実施の形態による製造工程別の素子の断面構造を示した断面図。
【図 46】 異なる S T I 溝幅が混在した半導体装置における平面構成を示した平面図。
【図 47】 図 46 の A 1 - A 1 線に沿う従来の半導体装置における工程別素子の縦断面を示した縦断面図。
【図 48】 同半導体装置における工程別素子の縦断面を示した縦断面図。
【図 49】 同半導体装置における工程別素子の縦断面を示した縦断面図。
【図 50】 同半導体装置における工程別素子の縦断面を示した縦断面図。
【図 51】 従来の他の半導体装置における工程別素子の縦断面を示した縦断面図。
【図 52】 同半導体装置における工程別素子の縦断面を示した縦断面図。
【図 53】 同半導体装置における工程別素子の縦断面を示した縦断面図。

【図 5 4】同半導体装置における工程別素子の縦断面を示した縦断面図。

【図 5 5】同半導体装置における工程別素子の縦断面を示した縦断面図。

【図 5 6】従来の他の半導体装置における工程別素子の縦断面を示した縦断面図。

【図 5 7】同半導体装置における工程別素子の縦断面を示した縦断面図。

【図 5 8】従来の他の半導体装置における工程別素子の縦断面を示した縦断面図。

【図 5 9】同半導体装置における工程別素子の縦断面を示した縦断面図。

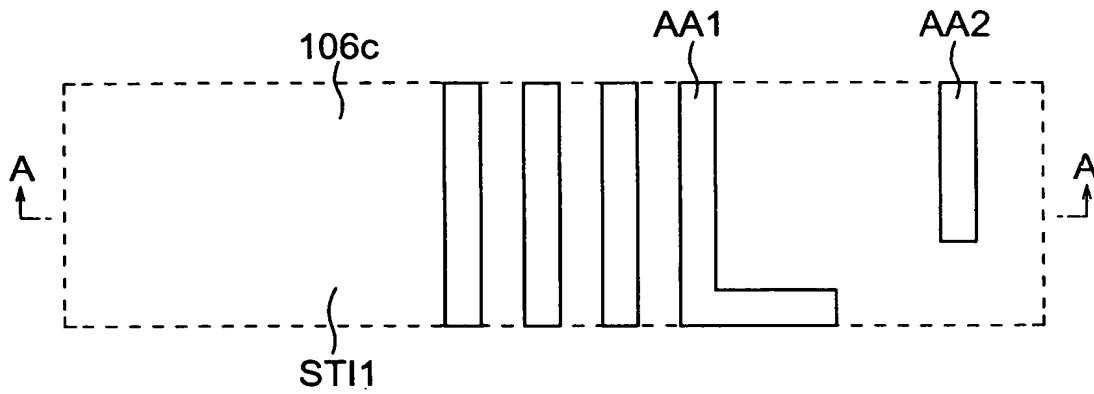
【符号の説明】

【0324】

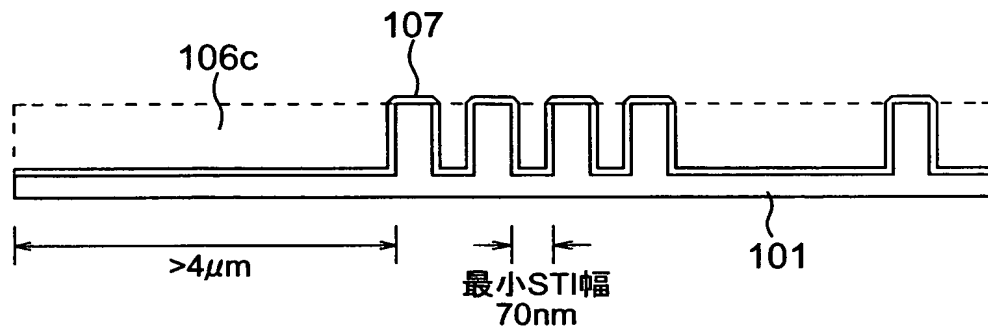
- 101 半導体基板
- 102 パッドSiO₂膜
- 103 SiN膜
- 104 BSG膜
- 105 STI溝側壁熱酸化膜
- 106、106a 誘電体膜
- 107 犠牲酸化膜
- 108 塗布膜
- 109 塗布膜
- 141 SiO₂膜
- 122 SiO₂膜
- 123 SiN膜
- 124 TEOS-SiO₂膜
- 128 熱酸化膜
- 300 半導体基板
- 301 パッドSiO₂膜
- 302 SiN膜
- 303 STI溝
- 304 STI溝側壁熱酸化膜
- 305 誘電体膜
- 306 SiO₂膜
- 307 HDP-SiO₂膜
- 308 TEOS-SiO₂膜
- 401 半導体基板
- 402 パッドSiO₂膜
- 403 SiN膜
- 404 BSG膜
- 411 STI溝側壁熱酸化膜
- 412 誘電体膜
- 413 TEOS-SiO₂膜
- AA1~AA2、AA11 活性領域
- STI1、STI11~STI12 STI溝
- GE11 ゲート電極
- CH11 コンタクトホール

【書類名】 図面

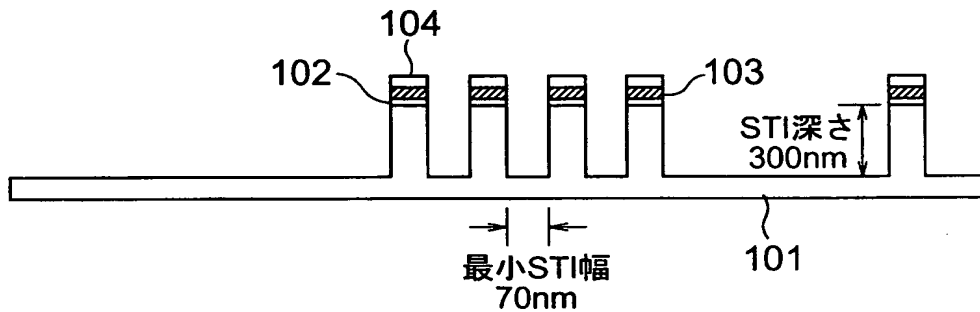
【図 1】



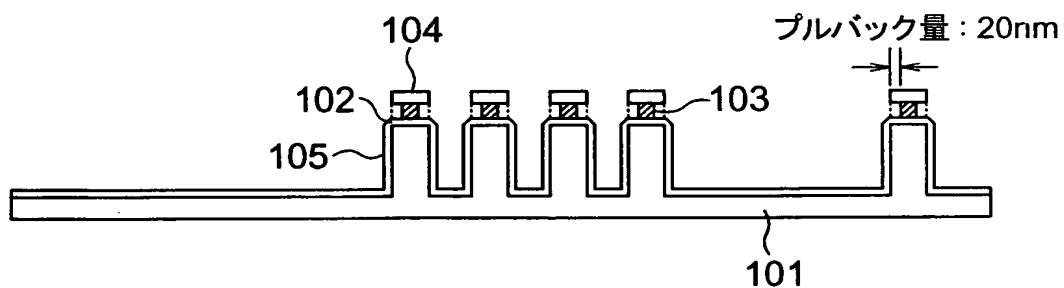
【図 2】



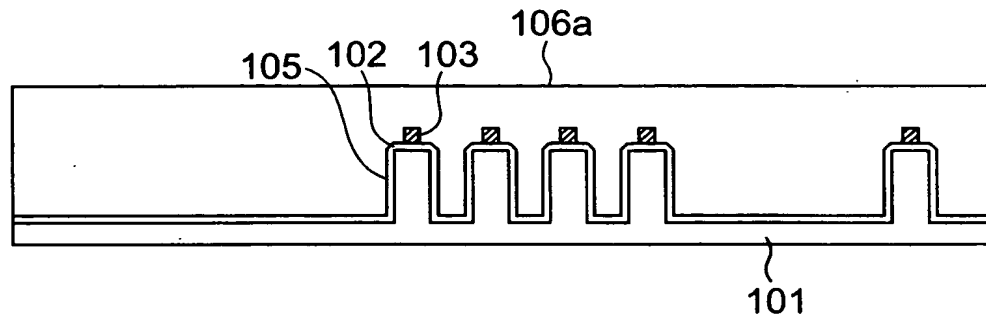
【図 3】



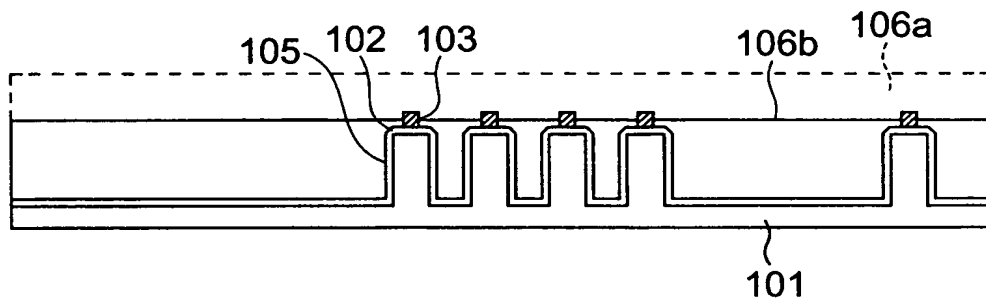
【図 4】



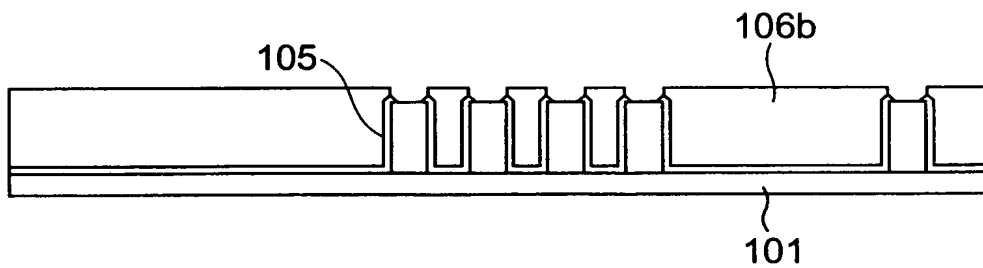
【図 5】



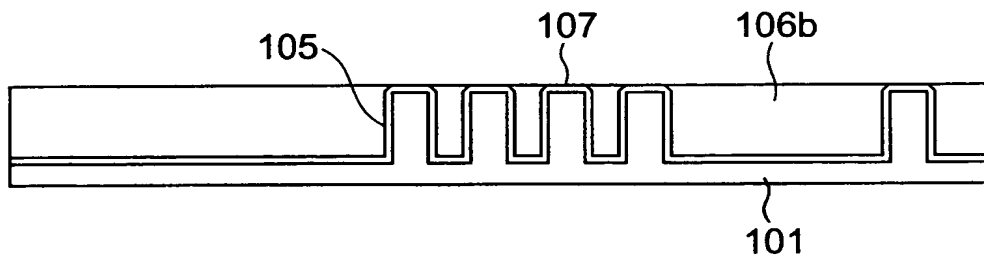
【図 6】



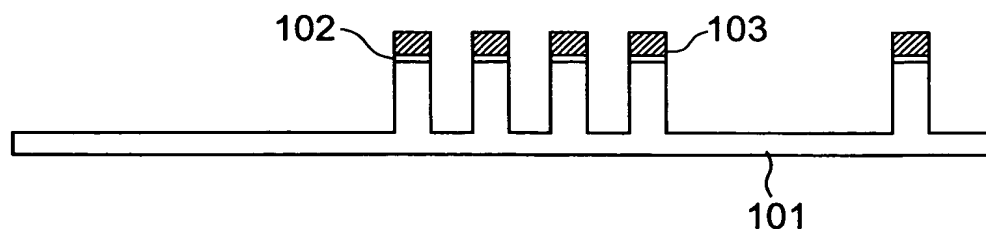
【図 7】



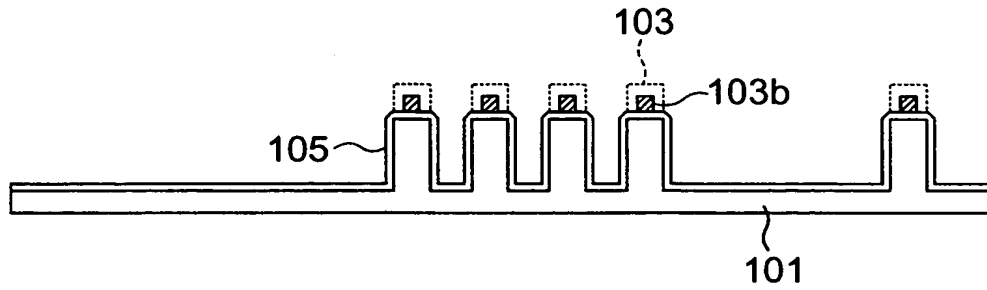
【図 8】



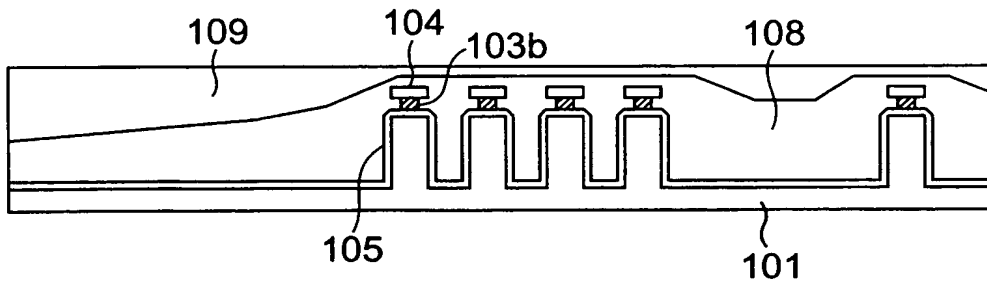
【図 9】



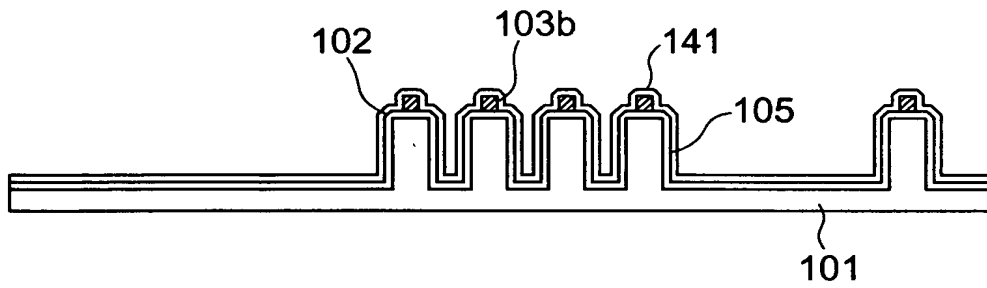
【図 10】



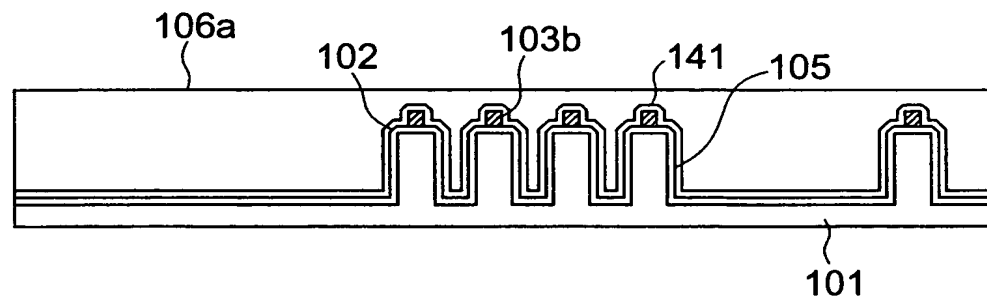
【図 11】



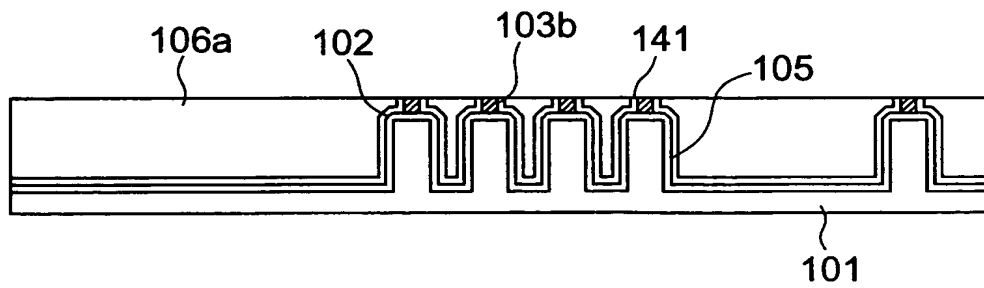
【図 12】



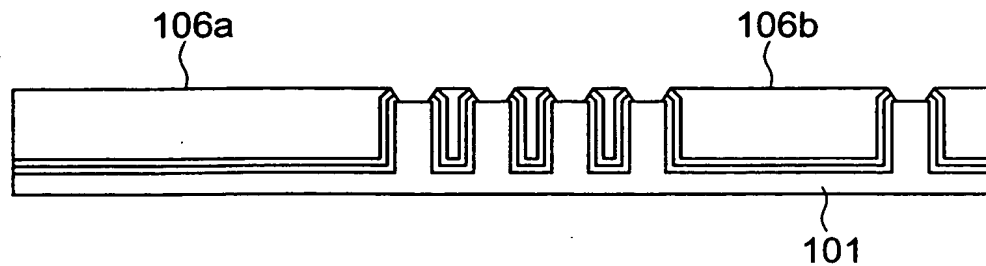
【図 13】



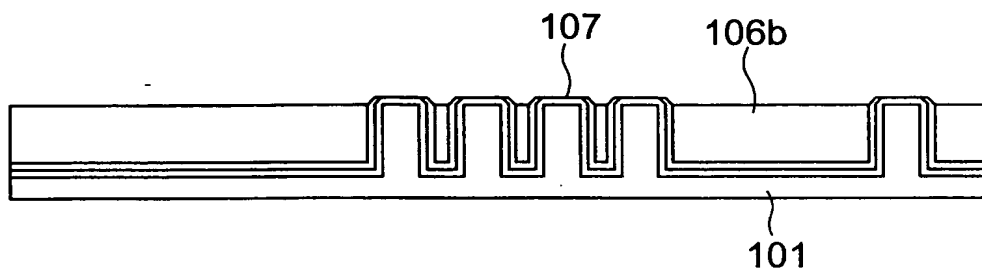
【図 14】



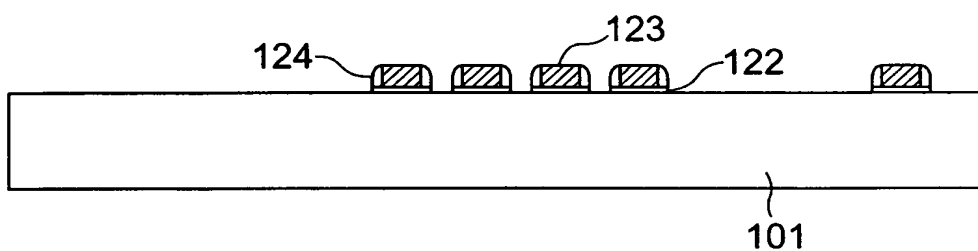
【図 15】



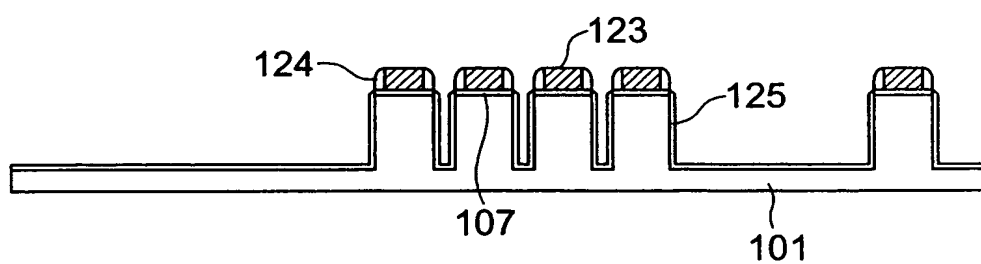
【図 16】



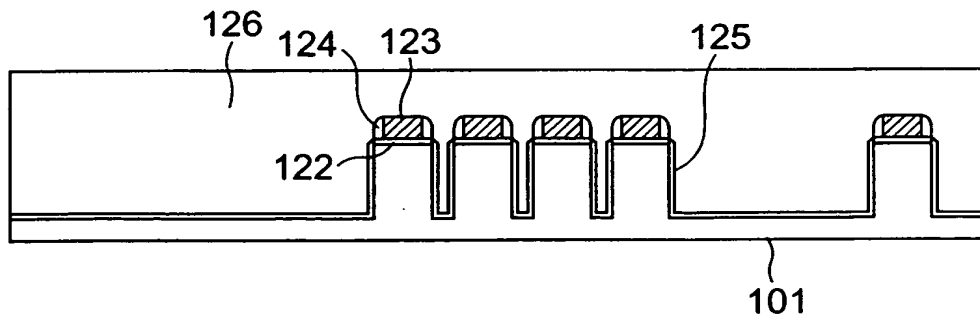
【図 17】



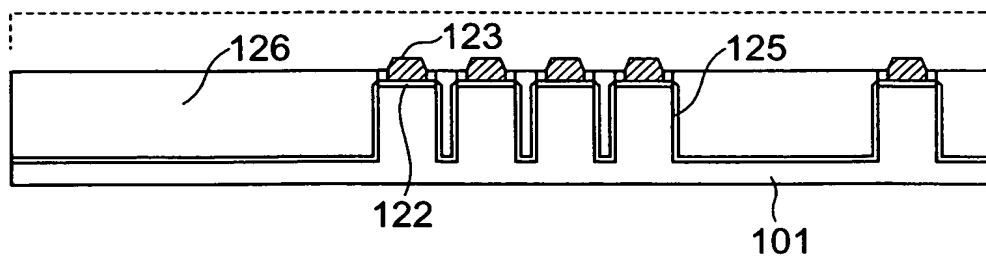
【図 18】



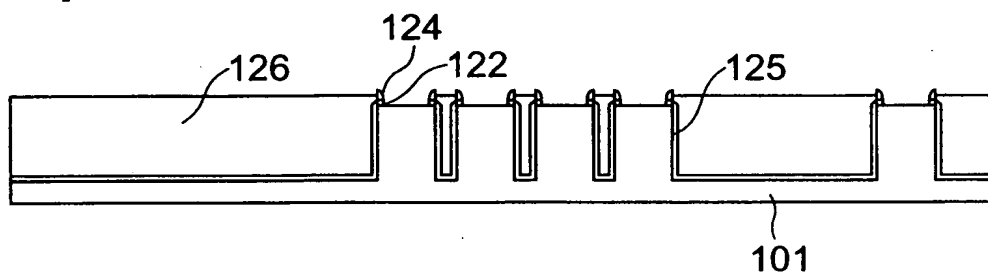
【図 19】



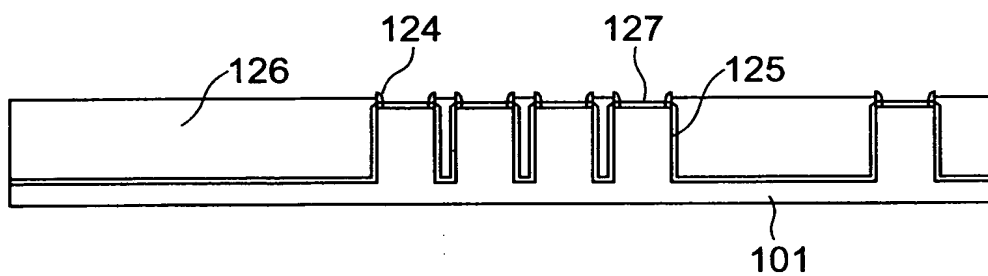
【図 20】



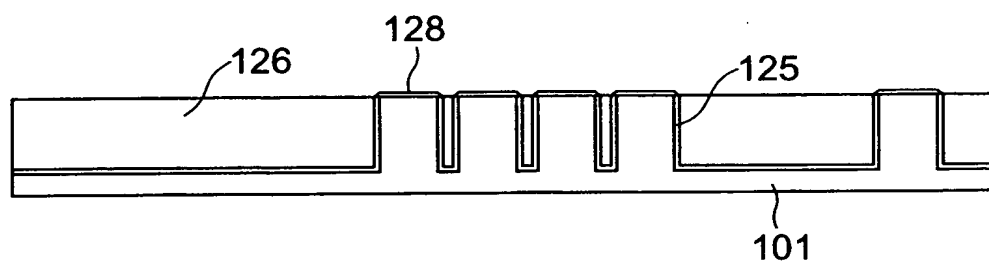
【図 21】



【図 22】



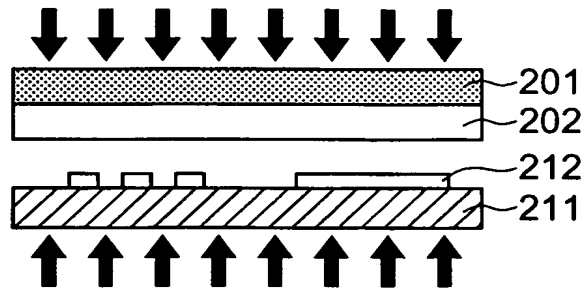
【図 23】



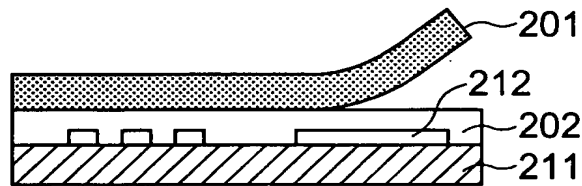
【図 24】



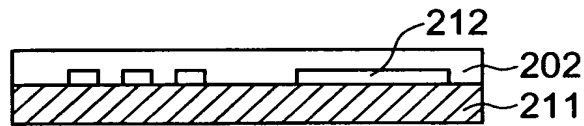
【図 25】



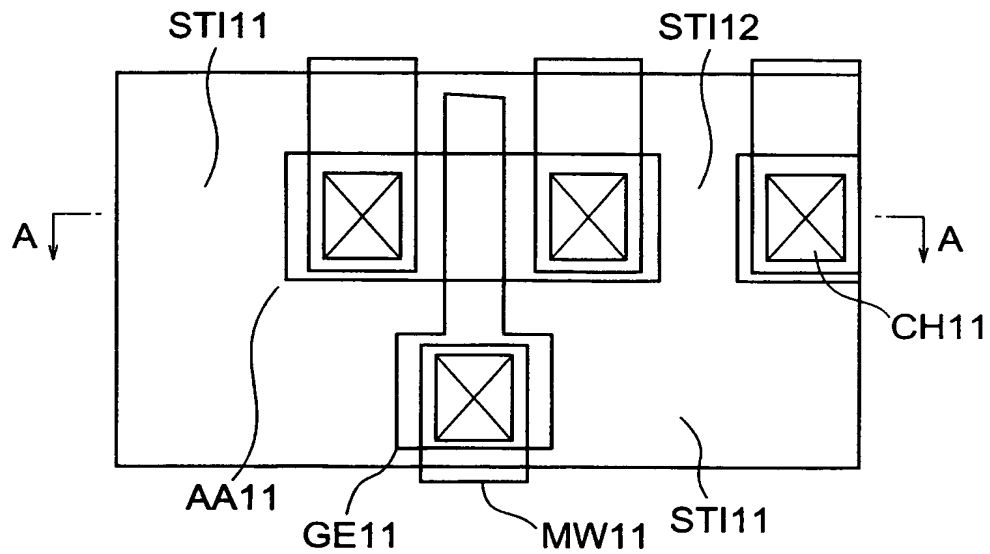
【図 26】



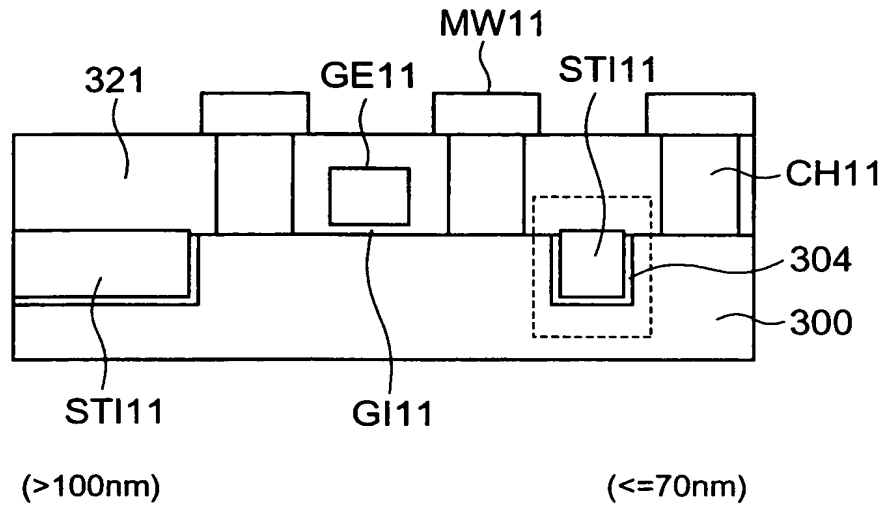
【図 27】



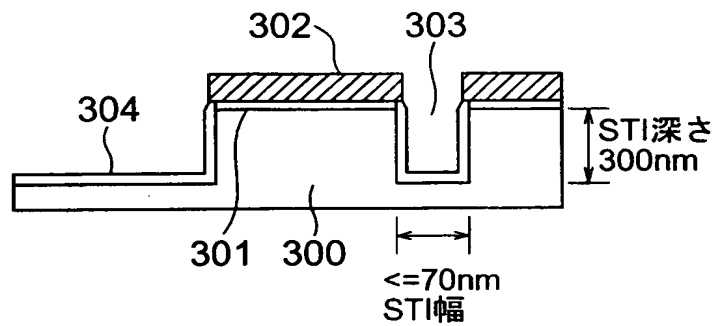
【図 28】



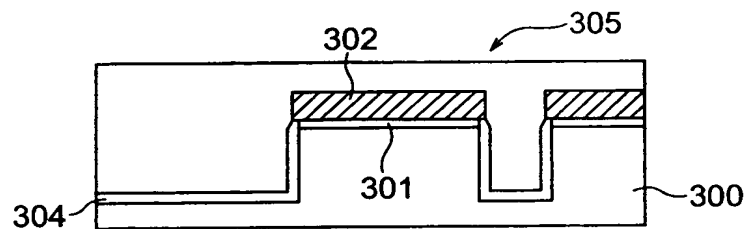
【図 29】



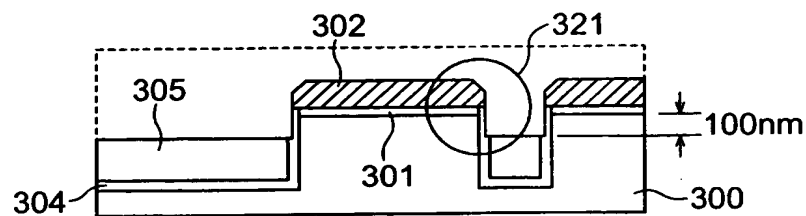
【図 30】



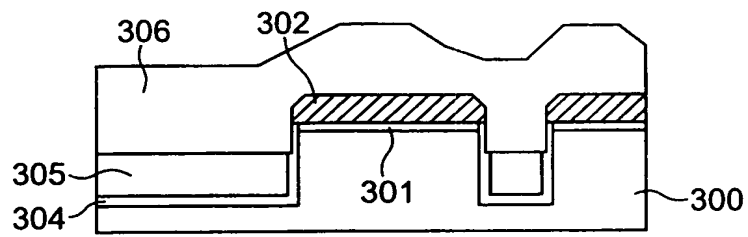
【図 31】



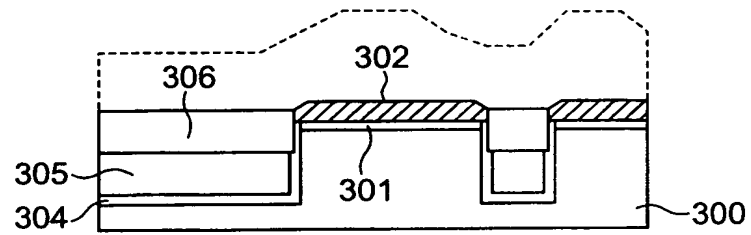
【図 32】



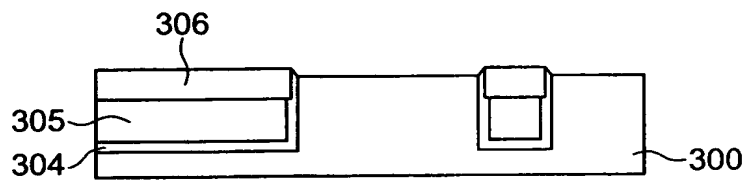
【図 3 3】



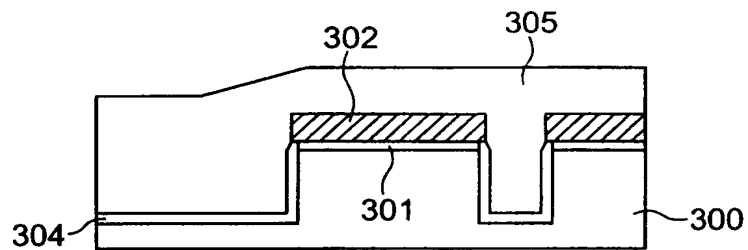
【図 3 4】



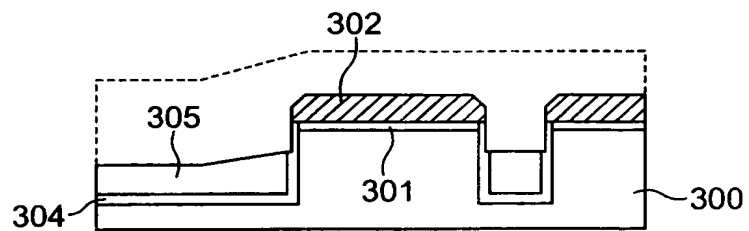
【図 3 5】



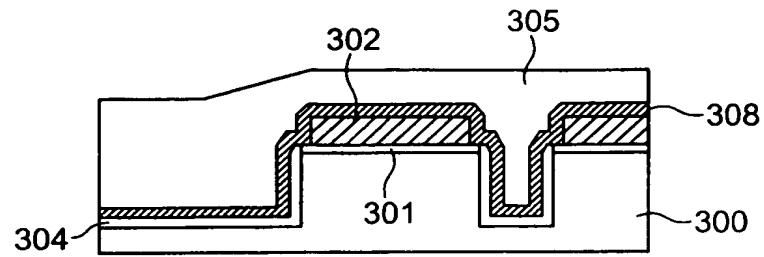
【図 3 6】



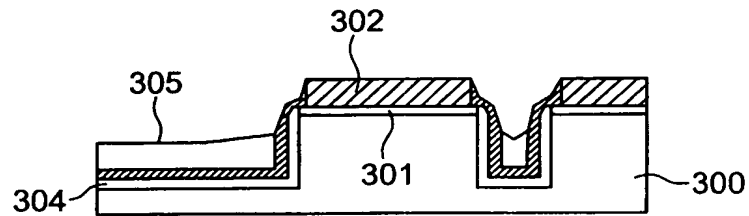
【図 3 7】



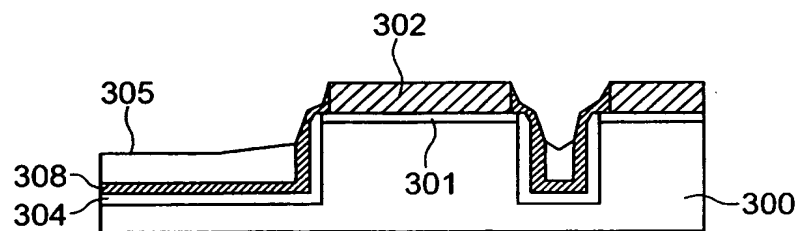
【図 38】



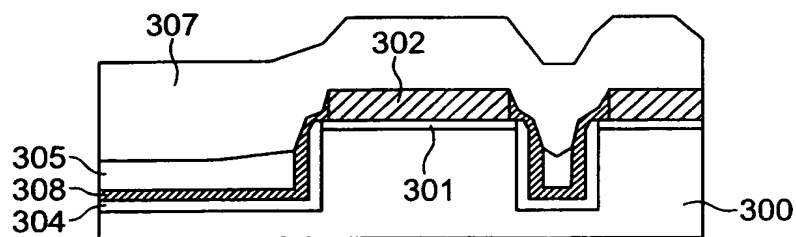
【図 39】



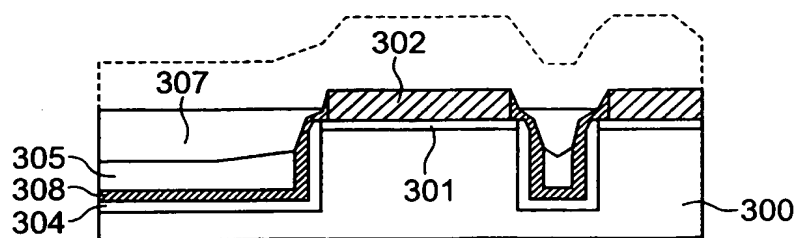
【図 40】



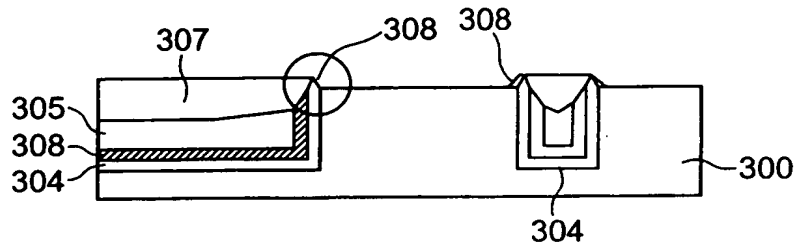
【図 41】



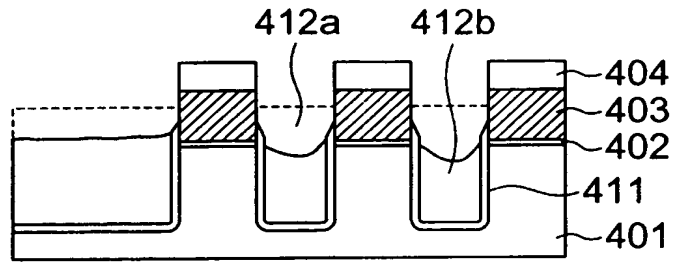
【図 42】



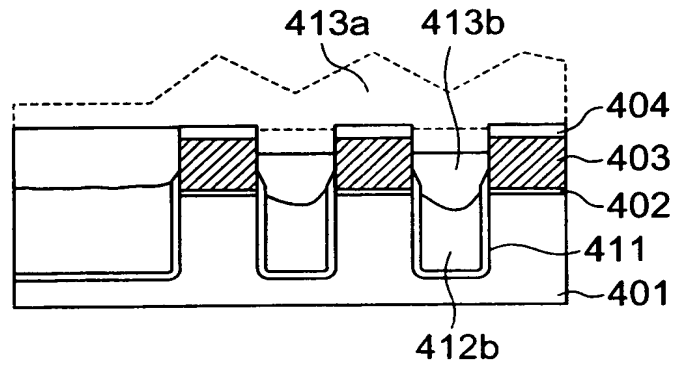
【図 4 3】



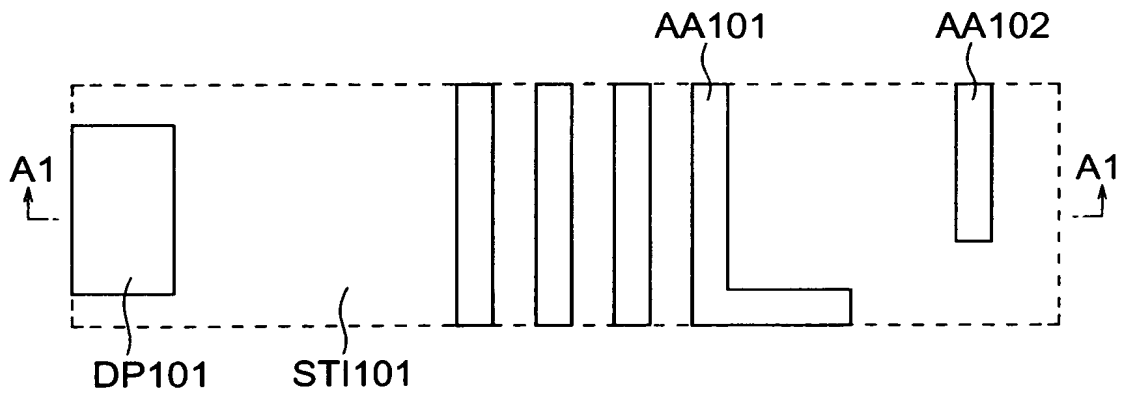
【図 4 4】



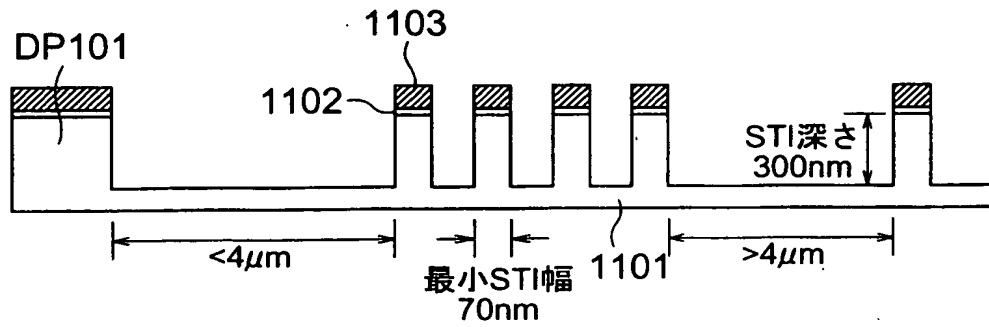
【図 4 5】



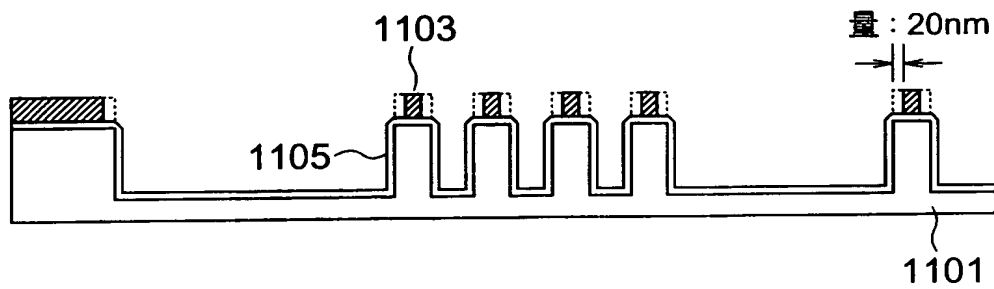
【図 4 6】



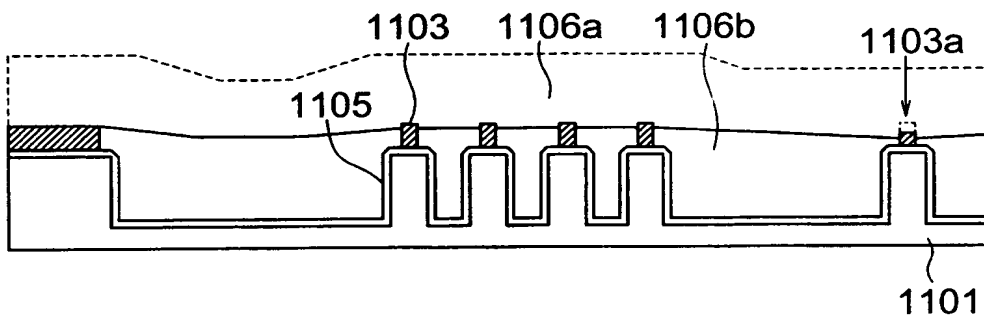
【図 47】



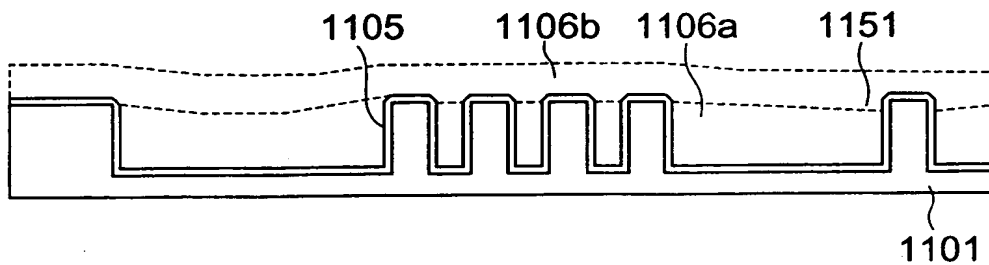
【図 48】



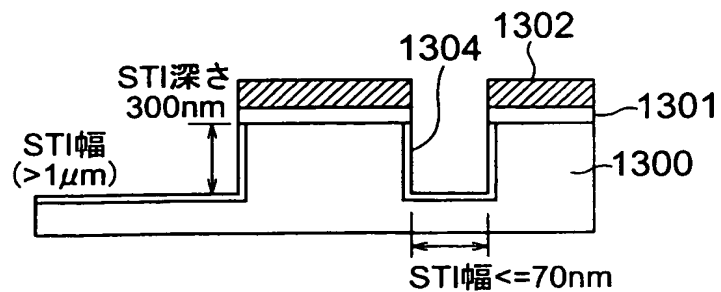
【図 49】



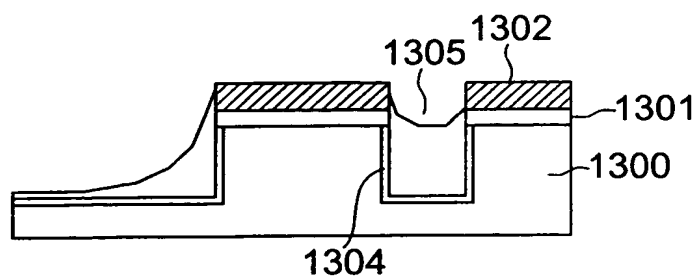
【図 50】



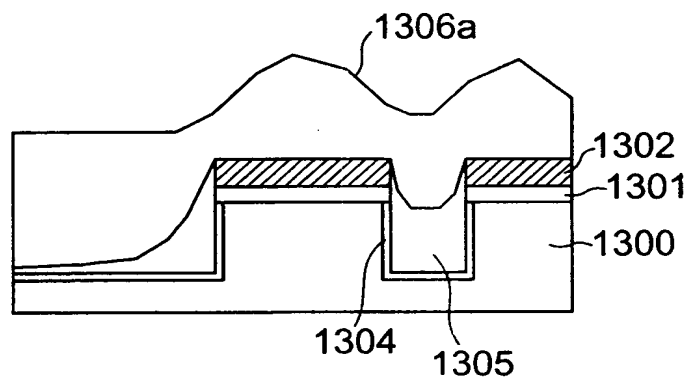
【図 5 1】



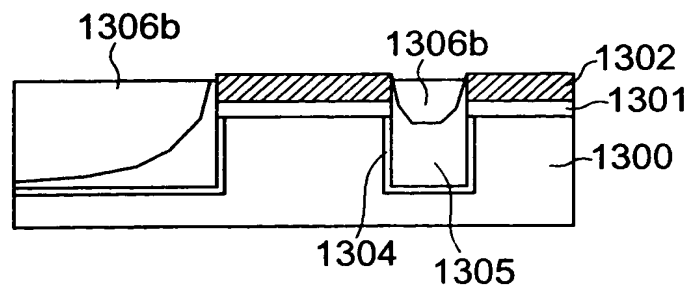
【図 5 2】



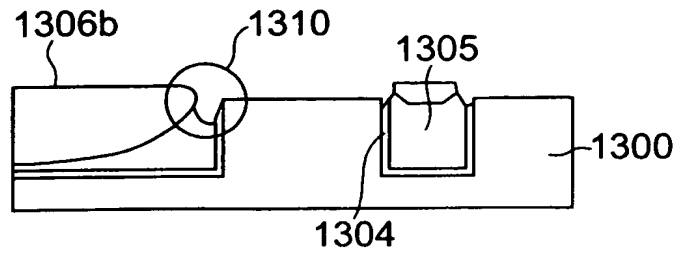
【図 5 3】



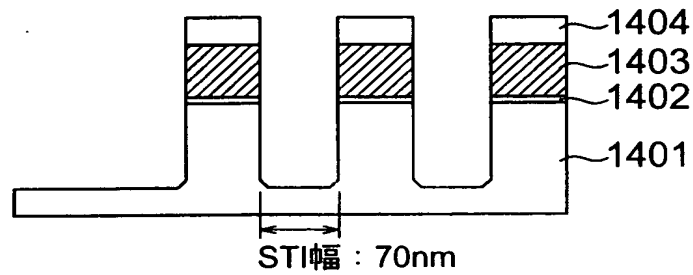
【図 5 4】



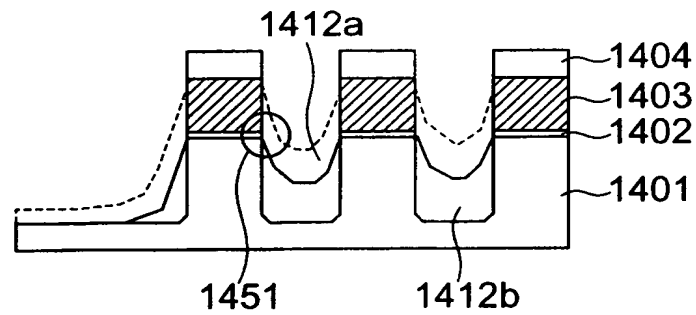
【図 55】



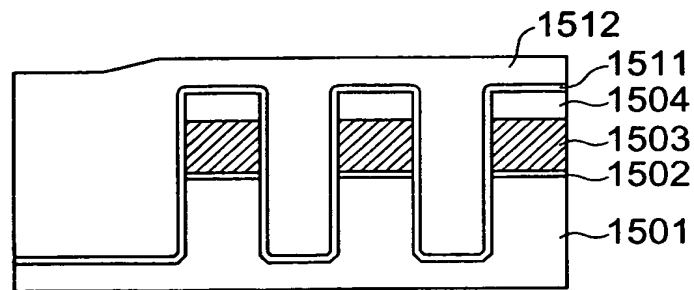
【図 56】



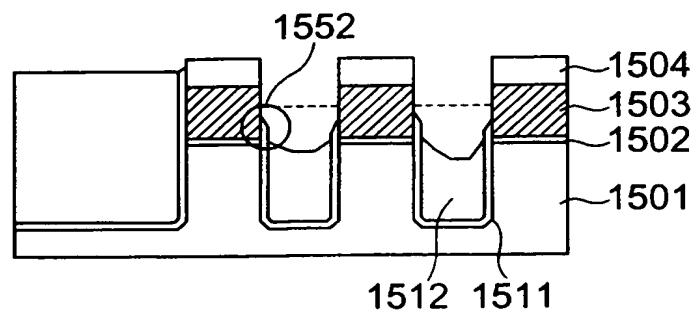
【図 57】



【図 58】



【図 59】



【書類名】 要約書**【要約】**

【課題】 異なる S T I 幅が混在する場合にも良好な埋め込み特性を得ることができ、デイヴォットを発生させることなくゲート電極のショートを防止することが可能な S T I 構造を有する装置並びにその製造方法を提供する。

【解決手段】 アスペクト比の大きな S T I 溝に流動性の高い例えば P S Z から成る誘電体膜を S T P 法あるいは塗布法により埋め込むことで、異なる S T I 幅を有する S T I 溝が混在する場合であっても、半導体基板面に平行な S T I 素子分離構造を実現することができる。

【選択図】 図 8

特願 2 0 0 3 - 3 9 9 5 4 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝